

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-84632

⑪Int. Cl. ³	識別記号	⑫日本分類	庁内整理番号	⑬公開	昭和53年(1978)7月26日
G 06 F 13 00		97(7) C 0	6453-56		
G 06 F 3 00		97(7) C 03	6453-56	発明の数	1
G 11 C 9 06		97(7) C 02	6453-56	審査請求	未請求
		97(7) D 0	6711-56		

(全 41 頁)

⑭出入力カッシー・システム

ルバーク

⑮特 願 昭52-154618

アメリカ合衆国アリゾナ州8502

⑯出 願 昭52(1977)12月23日

1フエニツクス・フニスト・キ
ヤミノ・エイスキア4117

優先権主張 ⑰1976年12月30日⑱アメリカ国
(US)⑲755871

⑳出 願 人 ハネイウエル・インフオメーシ
ョン・システムズ・インコーポ
レーテッド

㉑発 明 者 ジエイム・コール
アメリカ合衆国アリゾナ州8530
6グレンデイル・ウエスト・ワ
オルタン4723

アメリカ合衆国マサチューセツ
ツ州02154ウオルサム・スミス
・ストリート200

同 コーレンス・ダブリュー・シエ

㉒代 理 人 弁理士 湯浅泰三 外1名

1. (要 約)

出入力カッシー・システム

2. (発 明 の 要 旨)

1) 複数の入出力装置を含む入出力操作の制
定のための入出力システムにおいて、

複数のポートを有するシステム・インター
フェース装置と、

前記複数のポートの何れに接続された複数の
のモジュールとを設け、該モジュールは少くとも
1個のメモリ・モジュールと複数の指令モジ
ュールを含み、前記指令モジュールの各々は、

メモリ・指令を生成する指令生成装置を有し、
前記メモリ・指令の第1のタイプの各々は前記メ
モリー・モジュールから前記情報をアクセスする
ための第1と第2のカテゴリーを表示するよう構
造化され、少くとも1つのその宛められたポート
を有し、

前記1つのメモリ・モジュールは、

前記ポートの1つに作動的に接続されたカッ

シー・ストアを有し、該カッシー・ストアは前記メ
モリー・指令に宛てて前記メモリ・モジュール
から前記取出された情報のブロックを記憶するた
めのものであり、

前記インターフェース・ポートの前記1個に作
動的に接続され、情報情報を記憶するための補助
記憶装置と、

前記カッシー・ストアと前記補助記憶装置に接
続され、前記カッシー・ストアと補助記憶装置の
動作を制御するための制御回路装置とを有し、該
制御回路装置は、

前記複数の指令モジュールから前記メモリ
・指令を受取るために前記1個のポートに接続さ
れた入出力システム装置と、

前記指令を処理するために前記入力レジスタ装
置に接続された指令処理回路を有し、前記処理回
路は、前記1つのタイプのメモリ・指令の各々に
宛てて、前記カッシー・ストアに記憶される前
記情報の各々を前記前記各々の第1のタイ
プのメモリ・指令により指定される情報からの取

出しのその前記補助記憶装置を参照手段とするための前記信号を生成し、かつ前記の予め定められたポイントが前記第1のカテゴリを表示するよう同乗化される時にのみ、前記カクシエ・ストアに前記補助記憶装置から読出される前記情報をその内容に適合させる前記信号を生成する事を要請とする入ニコンシステム。

2. 前記第1のタイプのメモリー指令の符号が前記第1のカテゴリ・成分およびアドレス成分を含むように同乗化され、前記指令成分は読出し動作を指定するよう同乗化され、前記アドレス成分は前記読出しのアドレスを指定するよう同乗化され、前記カテゴリ・成分は前記カクシエ・ストアが前記読出し動作の始パルスされるべき時点を表示するよう同乗化された前記の予め定められたポイントを含む前記第2の記憶7番記のシステム。

3. 前記の予め定められたポイントは2進数等として同乗化され、前記制御回路装置は、前記カクシエ・ストアに前記情報をその内容に適合させるための前記制御信号を生成するよう条件付けられる

前記第2の記憶7番記のシステム。

4. 前記の予め定められたポイントが2進数1として同乗化され、前記制御回路装置は、前記カクシエ・ストアをしてその内容に前記情報を適合させてこれにより前記カクシエ・ストアをバイパスするための前記制御信号の生成を要請させられる前記第2の記憶7番記のシステム。

5. 前記指令メモリアルは少くとも1個の入出力制御信号を有し、前記記憶装置の符号生成装置は、

前記メモリー指令を生成するための前記制御信号を生成するためのマイクロ命令ワードのノーランスを記憶するマイクロプログラム化された制御装置と、

前記メモリー指令の符号の前記アドレス成分として含まれるアドレス情報を生成するためのアドレス制御装置とを含む前記第2の記憶7番記のシステム。

6. 前記補助記憶装置は、複数のテーブル、即ち前記補助記憶装置における情報を照合するた

めに使用されるデータ制御ワードのリストを記憶するための第1のテーブルと、前記データ制御ワードを照合するためのリスト・ポインター・ワードを記憶するための第2のテーブルとを記憶するための前記記憶の記憶装置を含み、前記各データ制御ワードと前記メモリアル・ポインター・ワードの予め定められたポイントでは前記カクシエ・ストアがバイパスされるべき時点を表示するよう同乗化され、かつ前記記憶装置の指令メモリアルは更に前記記憶装置の入出力装置に適合される複数のアドレス・ポートを有するマルチプレクサモジュールを有し、前記指令生成装置は、

前記入出力装置の応答に基ずるアドレスおよび前記記憶装置を記憶するよう生成された前記記憶のシステムと、

前記入出力装置から指令を受取るための前記記憶された前記記憶装置のシステムの第1のもの、

前記記憶装置のシステムに命令されてあり、前記指令に基ずいて前記マルチプレクサ・モジュールの動作を制御するための前記制御装置と、

前記記憶装置のシステムに適合されたセカレス・メタデータを含み、前記制御装置は、前記記憶装置からの第1の指令に基ずいて、前記第2のテーブルから読出される前記リスト・ポインター・ワードの1つに前記する情報を前記記憶装置のシステムに第2のものに記憶するための信号を生成するよう作動し、前記制御装置は、前記記憶装置からの第2の指令に基ずいて、前記第1のタイプのメモリー指令の第1のものの信号を生成し、前記信号は、前記データ制御ワードの第1のものを照合する照合装置を有するリスト・ポインター・ワードのデータを前記第1のテーブルから前記出力レジスタにロードするように前記記憶装置のシステムの前記第2のものを前記記憶装置の前記第5番記のシステム。

7. 前記リスト・ポインター・ワードの内容が前記第1のタイプのメモリー指令の前記第1のものの前記カテゴリ・成分とアドレス成分を含み、前記カテゴリ・成分の予め定められたポイントは、前記補助記憶装置からカクシエ・ストアに読出さ

れた前記データ・アドレス・ワードに記述する情報を前記メモリー・モジュールの前記制御回路装置が書き込みを禁止するための2通り1として符号化される符号要求の記述も前記装置のシステム。

8) 前記データ・アドレス・ワードの各々がデータ・アドレス・ワードおよびデータ・アドレス・ワードを含み、前記装置2の指令に基いて生成された前記信号は、第1のデータ・アドレス・ワードの前記データ・アドレス・ワードおよびデータ・アドレス・ワードを記憶するための、それぞれ前記装置2のレジスタの第3と第4のものを含み、前記装置2は前記第1のタイプのメモリー指令の第2のものの信号を生成するよう作用し、前記信号は、前記入出力操作の前記前記装置2の記憶装置に記憶された情報を照会するために前記データ・アドレス内容を用いて前記出力レジスタをロードするよう前記装置4のレジスタを動作させる符号要求の記述も前記装置のシステム。

9) 前記データ・アドレス・ワードの内容は前記第1のタイプのメモリー指令の前記装置2のもの

テム]。発明者：J・カール(calle)、V・M・グリスウォルド(griswold)。

3. 1975年3月26日出発米特許出願第562,333号「バスファインディング・マイクロプログラム装置システム」。発明者：G・W・パターンソン、M・G・ボーダ。

4. 1976年11月18日出発米特許出願第742,914号「メモリー・アクセス・システム」。発明者：E・F・ウェラー、M・G・ボーダ。

本特許は、データ処理システムに関し、特にキャッシュ・メモリー・ストアを含むシステムに関する。

公知技術のあるものにおいては、中央処理装置(cpu)は、メモリー・ワードを記憶するためのレジスタを含んでいる。通常、このレジスタはキャッシュ・ストアをOVとOFFの状態で記憶してストアをバイパスするよう作用可能な特殊な命令によりロードされる。

このようなシステムにおいては、従って、最初

特許第3,846,322号の記憶キャッシュ・ストアとアドレス命令を含み、記憶キャッシュ・ストアの前記命令の記述されたビットは、前記メモリー・モジュールの前記制御回路装置をして前記キャッシュ・ストア内に前記信号と記述する情報を記憶させるための2通り1として符号化されて、前記入出力制御回路装置による前記信号に対する記憶なアクセスを与える符号要求の記述も前記装置のシステム。

5) 前記装置の記憶装置

特許出願

1. 1976年11月15日出発米特許出願第741,632号「ロックされたプロセッサ内入出力処理システム」。発明者：J・W・ワズ(woods)、M・G・ボーダ(porter)、D・V・ミルズ(mills)、E・F・ウェラー(weller) 同姓、G・W・パターンソン(patterson)、E・M・モナハン(monahan)。(本発明に記憶の受取人に特許、以下同)

2. 1975年6月30日出発米特許出願第591,563号「マルチプレクサ制御回路シス

テムのモードにcpuを置き、この状態がキャッシュ・メモリー・ストアのバイパスを許可するようになる必要がある。付加的オーバーヘッドも含まれる点も明らかに不利な点である。更に、この構成では、キャッシュ・ストアにアクセスする1つ以上の処理装置を得るシステム(例えば、多量処理システム)に対しては不適当である。

別の公知技術のシステムは、セグメント・ディスクリプタ・ワードの使用により、セグメントが記憶される(アクセスされる)方法を可能にするセグメント・メモリー・システムを採用している。このセグメント・ディスクリプタ・ワードに含まれているのは、アドレス信号をしてキャッシュ・ストアに記憶がうまく行われぬようにさせるビットである。これは、あるセグメントをしてワードをキャッシュ・ストアに記憶させ、かつキャッシュ・ストアにそのセグメントによりバイパスされるようにする。

このような技術においては、入出力操作と関連するセグメントがcpuのキャッシュ・ストアに入

る事を阻止される（カッシーエなしの場合）事があ
る必要で、このため発生されない主メモリに於
けるワードの更新を生じ得る。

この機能は多重化システムに対してより好適
であるが、主メモリが共用されるべきカッ
シーエ・ストアに対してどのセグメントがアクセス
を許容するかを指定する機能とされるオーバーヘ
ッドの箇所を必然として有するものである。又、
この機能は、主メモリ・アクセスに別の制御をも
たらし、メモリ管理を複雑にする。

従つて、本発明の三目的は、カッシーエ・ストア
のバイパスのこのことを目的とする提供にある。

本発明の更に別の目的は、どの区域も多数の指
令モジュールのいずれによつても選択的にアクセ
スできるカッシーエ・ストアの提供にある。

前述の目的およびこれ以外の目的は本発明の望
ましい実施形態において達成されるが、その構成
は多数の指令モジュールおよび1つの局部メモ
リ・モジュールを含む入出力システムからなる。
この局部メモリ・モジュールは、補助記憶装置

に、カッシーエ・ストアは、各出力メモリ指
令の予め定められたビットを予め定められた状態にセ
ットさせるよう作用するプロセッサにより制御され
る。これは、プロセッサにより補助記憶装置から要
求された情報を含む情報ブロックをカッシーエ・ス
トアに記憶するように制御装置を条件付ける。
入出力データ伝送の間、マルチプレクサのモジュ
ールは、予め定められた状態に予め定められたビ
ットをセレクトさせる事のないメモリ・指令を与え
る。従つて、この制御装置は、カッシーエ・ストア
に補助記憶装置から要求される入出力情報を記憶
させる事なくこの情報を伝送する。この状態は、
マルチプレクサ・モジュールが入出力情報でプロ
セッサによりカッシーエ・ストアに受に記憶された情
報をまた書き込みしないようにさせる。然し、要求
された入出力情報が受にカッシーエ・ストアに存在
する時には、この制御装置は更に迅速なメモリ
・タイトルを主としてカッシーエ・ストアから、要求さ
れた入出力情報を伝送する。このように、プロセ
ッサは、同じ局部メモリ・モジュールに対するア

特開53-84632(4)

およびカッシーエ・ストアを含んでいる。このカッ
シーエ・ストアは補助記憶装置から前に取出された
情報ブロックに対し迅速なアクセスを行う。望ま
しい実施形態の本システムは、更に、各々が異なる
1つのモジュールに接続された複数のポート
を含むシステム・インターフェース装置を含んで
いる。

局部メモリ・モジュールに与えられる各メモ
リ・出力指令は、補助記憶装置から要求された
情報が又、カッシーエ・ストアに送達される時点を
表示するよう符号化される予め定められたビット
を含んでいる。局部メモリ・モジュールは、更
に、予め定められた指令ビットの状態に従つて、
補助記憶装置から要求されている情報をしてカッ
シーエ・ストアを選択的にバイパスさせる各出力
メモリ・指令に回答して作用する制御装置を含ん
でいる。

望ましい実施形態においては、この指令モジュ
ールは少なくとも1個の入出力プロセッサおよび1個
のマルチプレクサ・モジュールを含んでいる。一

クセスが他の指令モジュール（例えば、マルチプ
レクサ・モジュール）と共用される場合でさえ、
カッシーエ・ストアの適正な制御を維持するのであ
る。その結果、入出力動作の更に迅速な制御が得
られる。

然し、プロセッサが、補助記憶装置から要求され
る情報がカッシーエ・ストアに記憶される事を欲し
ない場合もある。又即ち、システムが、マルチ
プレクサ・モジュールにより補助記憶装置から要
求されている入出力情報をカッシーエ・ストアに書
込まれる事を欲する場合もある。

このプロセッサにおいては、プロセッサがその作
用システムに記憶されるべきデータ・シーケアド
レスを導くための出力指令を発生するような場合に
は前述の状態が望ましい。補助記憶装置から要求
される情報が再びメモリから命令される事は望
まれないため、プロセッサは、予め定められたビ
ットが予め定められた状態以外の状態にあるメモ
リ・指令を与えるよう作用する。

マルチプレクサ・モジュールに對しては、シス

システムは、高速度データ伝送機構の専用マルチプレクサ・モジュールが用いられる補助記憶装置におけるテーブルを構成している。要するに記憶装置においては、このテーブルは、データ記憶ワード (DCW) テーブルと命令データ記憶ワード (IDCW) テーブルを含んでいる。IDCW テーブルは、DCW テーブルを指示するリスト・ポインタ・ワード (LPW) を含む。DCW テーブルは、主記憶メモリにおける補助記憶装置に対するポインタである DCW のリストを記憶する。LPW および DCW の記憶は、マルチプレクサ・モジュールにより記憶され、補助記憶装置を結合するメモリ・指令を生成するために使用される。このシステムは、LPW および DCW における予約定められたビットを補助記憶装置からマルチプレクサ・モジュールにより取出されていく情報がノンビ・ストアに記憶されるべき状態にする予約定められたビットでセットする。

メモリ・指令における予約定められたビットの状態を変更する能力を有する事により、入出力

システムの異なる命令モジュールは、ノンビ・ストアに記憶される情報を非同期に結合する又は非同期に記憶される事なく情報に対する迅速なアクセスが可能となり、これによりある操作が更に迅速に実行可能となる。

構成および動作方法の両方の観点から理解を容易にするものと考えられる本発明の概略的な図面については、更にその目的および長所と共に、添付図面に於いて以下の記述を参照すれば更によく理解される。然し、本記述は表示のためこのように示されるもので、本発明の規定する事項ではない事に了解されるべきである。

一般の概要

第1図から判るように、本発明の構成を包含するシステムは、少くとも1個の入出力プロセッサ (IOP) 200個と、システム・インターフェース装置 (SIU) 100個と、高速マルチプレクサ (HSMX) 300個と、低速マルチプレクサ (LSMX) 400個と、上位プロセッサ700個と、1つの命令メモリ・モジュール500と主メモリ・モジュール

800個に規定する多数のメモリ・モジュールとを有する。これらのモジュールの各々は、異なるタイプのインターフェース600個乃至603の各々の機能性の図面を介してシステム・インターフェース装置 (SIU) 100個の多数のポートの1つに接続している。更に、入出力プロセッサ (IOP) 200個と、上位プロセッサ700個と、高速マルチプレクサ300個はそれぞれポートG、E、およびAと接続し、低速マルチプレクサ400個とメモリ・モジュール500、500個および800個はそれぞれポートJ、LMOおよびRNOと接続する。

第1図の入出力システムは、多数の「命令モジュール」、「データモジュール」および「メモリ・モジュール」を含むように示されている。IOP プレクサ200個と、上位プレクサ700個と、高速マルチプレクサ300個は、各々が指令を出す能力を有する機能モジュールとして作用する。機能モジュールは通常ポートA乃至Hに接続する。機能性の受動モジュールは、3つのポートJ、K、およびLに接続される。これらのモジュールは、低

速マルチプレクサ400個とSIU100個に規定し、以下に述べる如くインターフェース601の各回線に与えられる指令の解釈および実行の可能な装置である。最後のグループのモジュールは、インターフェース603の各回線に与えられる7つの異なるタイプの指令を実行する能力のある主メモリ・システムの指令の加算局メモリ・モジュールとリモートメモリ・モジュールを構成する。

第1図の入出力システムは、尚、それぞれ以下に詳細に記述するデータ・インターフェースおよびプログラム記憶インターフェースと対応するインターフェース600個と601個を介して各ポート・Fに接続する上位プロセッサ700個により提供される入出力系に結合する入出力サブシステムとして作用する。ポートEとFは、第1図のマルチプレクサ又はプロセッサ・モジュールのいずれかに接続を可能にするためのインターフェースを含んでいる。

本発明の目的のためには、プロセッサ700個は

特開 53-84632 (6)

限会社であり、大田町野原3,413,613巻に匹
 込される磁気録音の準備を取りする。留ましの電
 磁気録音にかいては、入出力プロセス2000は、入
 出力の両方に必要とされるチャンネルプログ
 ラムを決定し、SIL1000から受取る所込み
 要求を認識し、送信マルチプレクサ4000に組合
 されるユニバースロープ受取録音を直接制御す
 る。プロセス2000は、データインターフェイス
 5000と所込みインターフェイス5002を介し
 てユーザに報告する。

二重紙の目的にかつては復写と公文と考へられ
る。マルチプレクサ4000は、主々が復写アダ
プタ・インターフェイス(DAI)の各国典に適合
する周辺復写アダプタを介しては通の周辺装置の
取付けを可能とする。このインターフェイスによ
りアダプタは、二重紙の複写人に提供された大司
成り部と742457号に記述される特許事務の特
許を有する。この通の復写には、カード・リ
ード、カード・パンチおよびプリンタが含まれる。
第1章から判るように、マルチプレクサ4000は

プロダクション・インターフェースと「マウス」して
ポート」に接続している。

高速マルチプレクサ300は、チャンネル・アダプタ302乃至305の各々に接続するディスプレイ装置およびテープ装置309乃至312の各グループ間の転送を直接制御する。更に、最大16個名の装置に接続し導る各チャンネル・コンローラ・アダプタ303乃至306は、更に、チャンネル・アダプタインターフェース(CAI)301-1のインターフェース回路を介してターミナル・チャンネル0乃至3の各々に接続する。高速マルチプレクサ300は、データ・インターフェース600、プログラム可能インターフェース601および読み込みインターフェース602に特定するポートAに接続する。

本報編の目的のためには、チンネル・コン
ローラ・アダブ302乃至315の各号に、電
信上公認と考える事ができ、前述の天國海峽航
3742457号に記述されたコントコラ・アダ
ブの各号をとり得る。

前述の如く、各モジュールは SIU100 の異なるポートに接続する。SIU100 は、各別のモジュール間のデータの並び替え情報の転送を可能にする転送経路を介して各モジュールの相互に対する転送を制御する。本説明の目的のためには、SIU100 は、各モジュールが最優先順位を有しかつて使用可能なメモリー・タイフルを生成される時、優先メモリー・モジュール 500 に続いて各モジュール、モジュールにデータの出入り転送を可能にする切込み転送場として考える事ができる。即ち、前述の如く、SIU100 は、各モジュールからの要求の順に最優先順位を決定し、その使用可能なメモリー・タイフルを生成して各モジュールに与える事により転送を可能にする。

また、SILについては、各々のレベルから受ける
 影響は異なり、低レベルほど影響が大きい。この影響
 の大きさは、そのレベルの位置と、そのレベルの位置
 から近隣のレベルまでの距離によって決まる。この影響
 の大きさは、そのレベルの位置と、そのレベルの位置
 から近隣のレベルまでの距離によって決まる。

● - 1 - 4 2 8 - 7 2 - 2

第1図の異なるモジュールについて明確に記述
するに先立ち、前述の各インターフェースA0.0
乃至A0.3について第5図乃至第8図に同じ
て以下に記述する。

最初に第5.2.2節に於いて、演算は、1つの既知
モノミールとSUB100部の情報交換を行うライ
ブ・フェーズの1つであるデータ・インターフェ
ースを規定する各型塊を示す事が出来る。この情報
で図は、「ダイナミック」と呼ばれる既知ソー
スに於て構成される予め定められた規則に従つ
て各型塊と域の論理的状態を制御する事により行
われる。

表5-4-3からわかるように、このインターフェースは、1つの読出しポートと書き込み(AOP)と、読出し用のSIUデータ回路(DTSJ00~35, P00~P31)と、読出し用のSIU命令データ回路(SUTSJ00~4, P)と、読出し用のSIUマルチポート命令回路(MITSJ00~3, P)と、1つの読出し要求受け回路(ARA)と、読出しデータ受

入れ回路 (ARDA) と、現装置の SIU からデータバス回路 (DFS 10~35, P0~P3) と、現装置の SIU からマルチポート識別子回路 (MIPS 1~3, P) と、SIU から 2 倍電圧回路 (DPFS) と、外部入力回路 (AST) とを含む。このデータ・インターフェース回路については、更なる詳細は以下の項において記述する。

データ・インターフェース回路

記号	説明
AOPR	この回路はカポー・要求回路は、各状態モジュールから SIU 100 に存在する一対二進の回路である。この回路はセットされると、指令又はデータが送られるべき伝送経路をモジュールが要求する事を SIU に対して伝達する。
DTSD0~35, P0~P3	このデータ経路は、各状態モジュールと SIU 間に存在する 4 バイト、すなわち 32 ビットの経路 (4 つの 10 ビット・バイト) で、各

される (指令はメモリー・モジュールのみにより読取され、プログラム可能インターフェース指令は、入出力プロセッサ 700 を除き全てのモジュールにより読取せられる)。

c) ビット 5 の状態は、指令経路の 1 フード又は 2 フードが要求者の状態モジュールと表示された受取り側のモジュール間に伝達されるべき事を表示する。

(1 フードは 1 倍電圧経路を指定し、2 フードは 2 倍電圧経路を指定する)。

d) ビット 6 の状態は、要求者のモジュールと表示された受取り側のモジュール間の伝達方向を表示する。

e) ビット P は、SIU 100 に内蔵される装置により検電され

回路 53-84632 (M) 状態モジュールから SIU 100 に対して指令又はデータを送るのに使用される。

SDTS0~6 P

前 SIU 検出データは、各状態モジュールから SIU 100 に存在する。この回路は、回路 AOPR がセットされる時検出状態を SIU 100 に与えるために使用される。検出状態は、以下の 7 つのビットと 1 つのバリケート・ビットからなる。即ち、

a) ビット 0 の状態-DTS 回路に与えられる指令のタイプ (指令がプログラム可能インターフェース指令又はメモリー指令かどうか)。

b) ビット 1~4 は、モジュールのどれが指令を受取り読込みさせるかを表示するよう符号化

る要求者の状態モジュールにより生成されるバリケート・ビットである。

NTS0~3, P

4 本の SIU マルチポート識別子回路は、状態モジュールから SIU 100 に存在する。この回路は、状態モジュール内のどのサブチャネル又はポートが回路 AOPR のセッティングを生じたかを表示するよう符号化される。

ARA

状態要求受け入れ回路は、SIU 100 から各状態モジュールに存在する。この回路は、表示された受取り側モジュールが、データ・インターフェース回路から要求された情報を検出させる状態モジュールの要求を受け入れた事を表示するようセットされる。

ARDA 既出しデータ受入れ回路は、SIU から各機能モジュールと通信する。この回路は、SIU100によりモノト化されて、表示されたモジュールから前に要求されたデータを受入れるべき事を既知モジュールに対して表示する。

DFS00~35, P0~P3 SIUからのデータ回路は、SIU から各機能モジュールと通信する。この回路は、既出しデータの1ワード又は2ワードが既知モジュールにより受入れられて伝送を完了（既出し済）する事を表示する。

MIFS0~3, P このマルチポート制御子回路 プラス制御パリティ回路は、SIU 100から各機能モジュールと

DPFS

AST

特別記号-846328
既知する。この回路は、既知モジュールにおけるどのポート又はサブチャンネルがSIU100から前の既出しデータのデータを受入れるべきかを表示するよう符号化される。

SIUからの2チャンネル回路は、SIU から各機能モジュールと通信する。この回路の回路は、既出しデータの1ワード又は2ワードが既知モジュールにより受入れられて伝送を完了（既出し済）する事を表示する。

状況受入れ回路はSIU100 から各機能モジュールと通信する。同時に同回路ARDAを制御することの回路の回路は、既知モジュールがDFS回路に与えられる状況情報を受入れるべき事を既知モジュールに信号する。

第5.6節に示されたプログラム可能なインターフェース601の回路は、既知モジュールと表示されたモジュールからの指令情報の伝送を行う。この回路は、「ダイナミック」と呼ばれる標準シナプスにより構成される予め定められた時刻にこの各機能回路の状況の論理回路を制御する事により行われる。プログラム可能インターフェースは、プログラム可能インターフェース指令受入れ回路（APC）、既知モジュールのSIUからのプログラム可能インターフェース・データ回路（PDFS00~35, P0~P3）、プログラム可能インターフェース使用回路（PIR）、データ伝送出し要求回路（RDTR）、既知モジュールのSIUプログラム可能インターフェース・データ回路（PDTS00~35, P0~P3）、およびデータ既出し受入れ回路（RDAA）を含む。これらインターフェース回路については更に図5.6以下に記述する。

プログラム可能インターフェース回路

記号	説明
APC	プログラム可能インターフェース

PDTS00~35, P0~P3

PIR

ス指令受入れ回路は、SIU100 から各受取りモジュールと通信する。この回路はセプトされると、指令情報がSIU100よりインターフェースのPDFS回路に与えられた事およびモジュールにより受入れられるべき事をモジュールに対して信号する。

SIUからのプログラム可能インターフェース・データ回路は、SIU100から各モジュールと通信する。この回路は、既出しデータの1ワード又は2ワードが既知モジュールにより受入れられて伝送を完了（既出し済）する事を表示する。

プログラム可能インターフェース使用回路は、各モジュール

ムからSIUに送送する。この
 回線は、セプトされると、モニ
 ュールが回線PDFSに与えられ
 るべき指令を受入れる用意であ
 る事を表示する。

PDTSD00-15.
 PD-P3

マSIUプログラム可能インター
 フエース・データ回線は、モニ
 ュールからSIU100に送送さ
 する4ビットの100ビットの回
 線(4つの100ビットのポート)
 である。これ等の回線は、プ
 ログラム可能インターフェース回
 線をSIUに送送するのに使用さ
 れる。

R D T R

データ送送要求脱出し回線は、
 プログラム可能インターフェー
 スに適合されたモニョールか
 らSIU100に送送する。この
 回線は、セプトされると、所
 要求された脱出しデータがモニ

R D A A

モニョールに対する所求のデータに
 用可能であり、モニョールによ
 り回線PDTSDに対して与えられ
 る事を表示する。
 脱出しデータ受入れ回線はSIU
 100からモニョールに送送
 する。この回線は、セプトされ
 ると、回線PDTSDに与えられる
 データが受入れられた事、およ
 びこのモニョールがこれ等回線
 からの情報を検出できる事をモ
 ニョールに対して表示する。

その他のインターフェースは、入出力プロセサ
 200により送送処理を行う第5回線の送送
 インターフェース602である。即ち、このイン
 ターフェースは、脱出モニョールによる送送情報
 のSIU100に対する送送を可能にすると共に、
 SIU100による送送情報の処理のための入出
 力プロセサ200に対する送送も可能にする。他
 のインターフェースと同様に、送送情報の送送

は、「ダイアログ」と呼ばれる信号シーケンス
 により送送される予め定められた規則に従い各信
 号回線の物理的状態を制御する事により行われる。

このインターフェースは、送送要求回線(IR)
 と、送送データの送送回線(IDA00-11、
 PD-P1)と、ポートA乃至Hに接続されたモニ
 ュールに対する送送データの送送マルチポート送
 送回線(IMID00-03)を含む。ポートG
 とHに接続されたモニョールに対しては、送送
 インターフェースは更に、レベル存在回線(LZP)、
 高レベル送送存在回線(HLIP)、送送データ
 要求回線(IDR)、送送回線(RLS)、および送送
 の送送送送レベル回線(AILD-2)を含んで
 いる。第5回線から来るように、送送インター
 フェース・ポートGとHは、送送マルチポート
 送送回線は含まない。送送インターフェース
 回線については更に詳細に以下に記述する。

送送インターフェース回線

記号	説明
IR	この送送要求回線は、モニョール

モニョールからSIU100に送送す
 る。この回線は、セプトされ
 ると、サービスを要求する事を
 SIUに表示する。

IDA0-3, PD
 IDA4-11, P1

送送データ回線は、脱出モニ
 ュールからSIU100に送送す
 る。これ等回線は、送送要求
 がプロセサにより受入れられ
 後、入出力プロセサに対して送
 送される必要がある制御情報を
 含むように符号化される。これ
 等のビットは以下の如く符号化
 される。

- ビット0の位相は、2つの
 プロセサの内どちら(即ち、プ
 ロセサ番号)が送送要求を起
 動するかをSIU100に対して
 指定する。
- ビット1-3は、送送要
 求の優先順位即ちレベル番号を

SIU100に対して表示するよう
リ符号化される。

c) ビットP0はビット0～3
に対するパリティ・ビットであ
る。

d) ビット4～8は、初込み処
理のための適正な手順を指示す
るために出力プロセッサ200
により生成される必要があるア
ドレスの一部(即ち、初込み初
期ブロック番号ICBN)を意味
するよう符号化される。

e) ビットP1はビット4～11
に対するパリティ・ビットであ
る。

INID00～33 初込みマルチポート識別子図
は、本機能モジュールからSIU
100に送達する。これは図
は、機能モジュールのどのサブ
チャンネルが初込みサービスを

SIU100により同軸DFS上
のプロセッサに対して送られるべ
き事を表示する。

RLS 機能図は、出力プロセッサ
200からSIU100に送達す
る。この図は、セプトされ
る。プロセッサ200が現行の手
順の遂行を完了した事を表示す
る。

AIL0～2 既知初込みレベル図は、SIU
からの出力プロセッサ200に
送達する。これは図は、プロ
セッサ200により実行中の手順
の初込みレベルの事を表示する
よう符号化される。

第1図のモジュールのあり方により変換され
るインターフェース図の表の時は、第5図
の局域メモリー・インターフェース図に対応す
る。局域メモリー・インターフェース603は、
局域メモリー500とシステムのモジュール間の

特記53-84632(10)

変換したかを識別するよう符号
化される。

LZP レベル番号は図は、SIU100
から出力プロセッサ200に送
達する。この図は、セプトさ
れると、SIU100によりプロ
セッサ200に対して送達される
優先順位(レベル)初込み)要
求がある事を表示する。

HLIP 高レベル初込みは図は、SIU
から出力プロセッサ200に送
達する。この図は、セプトされると、
プロセッサ200により実行され
る手順又はプロセスよりも高い
レベル初込み優先順位を有する初
込み要求がある事を表示する。
初込みデータ要求図は出力
プロセッサ200からSIU100
に送達する。この図は、セプ
トされると、初込みデータが

IDR

情報の交換を行う。この交換は、「ダイアログ」
と呼ばれる通信シーケンスにより構成される予め
定められた時刻に従って各通信インターフェース
回線の論理的状態を制御する事により行われる。
局域メモリー・インターフェースは、現行本の前
メモリーデータ図(DTM00～35, P0～P3)、
現行本の前メモリー要求識別子図(RITM0～
7, P0～P1)、現行本の前メモリー指示図
(SLTM0～3, P)、PI指令受入れ図(APC)、
ZAC指令受入れ図(AZC)、PIインターフェ
ース使用可能図(PIR)、ZACインターフェ
ース使用可能図(ZIR)、データ転送要求図出
図(RDTR)、現行本の前メモリーからのデータ図
(DFM00～35, P0～P3)、現行本の前メモ
リーからの要求識別子図(RIFM0～7, P0
～P1)、メモリーからの2倍時間図(DPFM)
QUAD図、出出しデータ受入れ図(RDAA)、
およびシステム・クロック図(SYS-CLK)を含
む。

メモリーおよびプログラム可能インターフェ

ス指令は、インターフェースの受け取ったデータ
 回路から転送される。このインターフェースは、
 読み込み要求の処理のための1組の回路を含んでお
 らず、従ってSIU100により読みメモリに送
 られるモジュールは書きメモリ読み込みを主
 たる事ではない。読みメモリ・インターフェ
 ース回路については以下に更に詳細に記述する。

読みメモリ・インターフェース回路

IP 番	記 号
DTMO0~35, PO~P3	データ送受信回路は、SIU100 から読みメモリ500に送達さ れる4バイトの一方向性回路 (36本のデータ線および4本 の奇数パリティ線)を構成す る。これら回路は、メモリ又 はプログラム可能インターフェ ース指令を読みメモリ500 に対して転送するのに使用され る。

RITMO~3, PO 読みメモリ・リクエスト識別子
 RITM4~7, P1

又はサブチャンネルがモジュ
 ールに対して送られたメモリ指
 令を受取るか識別するかを指示
 するよう符号化されたポート番
 号選択ビットである。

b) ビット2は、新たな命令が
 SIU100によりメモリに送
 られる時、SIU100により読
 みメモリ500に搬送され
 る読みメモリから受取られ
 る読みメモリ・モジュールに
 含まれる読みメモリ・モ
 ジュール・ポート番号である。
 このビットの次値は、デ
 ータ転送の方向を示す。

c) ビット3は転送されるべき
 データ番号を指定するよう符号
 化される読みメモリ・モ
 ジュール・ポート番号である。
 これは、又、新たな
 命令がメモリ・モジュール
 に送られる時、SIU100に

参照して53-84632(11)
 回路で、SIU100から読み
 メモリに送達する2ポートの
 4回路を構成する。これら回路
 は、指令を符号化したモジュ
 ールを識別する読みメモリに
 対してデータを送るよう符号化
 された読みメモリ・モ
 ジュールに送達され
 る。

SLTMO~3, P 読みメモリ・ポート回路は、SIU
 100から読みメモリ500
 に送達し、2本のポート番号
 選択回路、読みメモリ・モ
 ジュール・ポート番号
 選択回路、およびパリティ
 回路を含む。これらの回路は
 読みメモリ・モジュールに
 送達されるデータは下記の如
 く符号化される。即ち、

a) ビット0~1は、送達され
 るモジュール内のどのポート

読みメモリ・モジュール
 500に対して搬送される読
 みメモリ・モジュールより
 送達される。

A Z C

ZAC 指令受入れ回路は、SIU
 100から読みメモリ・モ
 ジュール500に送達する。この
 回路は、セットされる時、読み
 メモリ・モジュール500に
 対して、SIU100により他の
 回路に送られたZAC指令と
 読みメモリ・モジュール
 500に送達される。このイン
 ターフェース回路のセン
 テイキングは、PI指令
 受入れインターフェース
 回路に対して相互に排他的
 である。

A P C

プログラム可能インターフェ
 ース指令受入れ回路は、
 プログラム可能インター
 フェース回路に対して
 記述したように、SIU100か

ら局内メモリ・モジュール
600迄延在する。この回路は、
セットされると、回路DTMに与
えられた指令情報が局内メモリ
ー・モジュールにより受入れら
れるべき事を表示する。

PIR/ZIR

プログラム回路インターフェー
ス使用可能回路/ZACインター
フェイス使用可能回路は局内メ
モリ・モジュール500から
SIU100迄延在する。各回路
はセットされると、局内メモ
ー・モジュール500がプログ
ラム回路インターフェイス(PI)
/メモリ(ZAC)指令の受入
れが可能であることをSIU100
に対して信号する。

RDTR

データ転送要求映出し回路は、
局内メモリ・モジュール500
からSIU100迄延在する。こ

の回路は、セットされると、ZAC
又はPI指令により要求さ
れた映出しタイプ・データが、
データを要求するモジュールに
与えられるため必要な制御情報と
共に使用可能であることを表示す
る。

DFM00~35,
P0~P3

メモリからのデータ回路は、
局内メモリ・モジュール500
からSIU100迄延在する4バ
イト巾の一方向性のバスである。
これは回路は、映出し要求され
たタイプデータをSIU100を
介して読取モジュールに渡すの
に使用される。

RIFM0~3, P
RIFM4~7, P

メモリからのリクエスト識別
子回路のグループは、局内メ
モリ・モジュール500から
SIU100迄延在する。これは
回路は、モジュール500から

要求モジュールに対して映出
しデータを指図させるよう符号
化されている。

DPFMおよび
QUAD

メモリからの2倍精度回路お
よびQUAD回路は、局内メモ
ー・モジュール500からSIU
100迄延在する。これは回路
は、映出しデータ転送要求時間
間隔の間SIU100を介して要
求量のモジュールに対して転送
されるべきワード群を表示する
ように符号化されている。これ
等の回路は下記のとおり符号化さ
れる。即ち、

QUAD DPFM

0	0	1ワード、単精度
0	1	2ワード、2倍精度
1	x	4ワード (xでもよい)

RDA A

DSD

映出しデータ/状況識別子回路は

局内メモリ・モジュール500
からSIU迄延在する。この回路
の状況は、回路RDTRがセット
される時、映出しデータ又は状
況情報であるかどうかをSIU
100に対して信号する。この
回路は、セットされると、1ワ
ード又は2ワードの状況情報
(QUAD=0)が転送されつつあ
る事を表示する。2進数等にセ
ットされると、この回路は、4
ワード迄のデータが転送されつ
つある事を信号し、そのワード
群は回路QUADおよびDPFMの
符号により指示される。

プログラム回路ターミナルに接
して述べたように、映出しデー
タ受入れ回路は、SIU100か
ら局内メモリ・モジュール迄

存在する。この回路は、セツトされると、局内メモリ・モジュールによりインターフェース回路上に与えられるデータが受入れられた事、および局内メモリ・モジュールがデータをこの回路から除去できる事をメモリ・モジュールに対して信号する。

SYSTEM-CLK システム・クロック回路は、SIU 100からシステムの各モジュールに伝達する回路である。この回路は、入出力プロセッサ200に内蔵されるクロック・ソースに接続され、共通のシステム・クロック・ソースからの各メモリ・モジュールの動作を同期させる。

図5a図乃至図5d図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を

制御ストア・セクション201

各セクションを更に詳細に考察すれば、制御ストア201-10は例えば読出し専用(ROM)のために使用する固定セクションから構成される。ストア201-10は、セクタ・スイッチ201-14に与えられた8つのアドレス・ソースのどれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読出され、ブロック201-16に内蔵されるデコード回路により復号される。

更に、図示の如く、レジスタ201-15のマイクロ命令内写のフィールドの1つからの信号は8つの入力ソースの内のどれが制御ストア201-10に対してアドレスを与えるかを選択するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読出されたマイクロ命令は、制御ストア201-10を通過するマイクロプログラム・ルーチンに分離するためのアドレス定数を与えている。

特開53-84632(13)を示すが、例えばエラー条件および動作条件の出力の条件を発生するための他の回路も含まれる事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の原理に導通する各モジュールについて以下に更に詳細に記述する。

入出力プロセッサ200-0の回路

図2図において、対POの各プロセッサ200は、命令実行のための制御ストア201-10に記憶されるマイクロ命令に 대응して制御信号を生成するよう作用するマイクロプログラム化された制御セクション201と、局内メモリ・モジュール500から取出される命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御ストア201-10に記憶されたマイクロプログラムの制御下で任意論理作用を実行するための記憶セクション204とを含む。このプロセッサ対の構成はシステムの信頼性を保証するものであり、導通回路に引用した最初の出図に詳細に記述されている。

図2図から判るように、8つの制御ストア・アドレス・ソースは下記の如きものが含まれる。即ち、SIU100およびプロセッサ200内蔵の回路により与えられる信号から導かれる読み込み/例外信号と、加算/シフト器201-24を介してレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置と、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置と、メモリ出力レジスタ201-4を介してバスファインダ・メモリ201-2からアドレスを受取る実行アドレス・レジスタ位置と、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置と、出力レジスタ201-15から一応読取を受取る定数位置とである。

導通次のアドレスが加算器201-24により生成され、この回路は、一方のオペランド入力としてスイッチ201-14により選択されるソースの1つからアドレス信号を、他方のオペランド入力としてブロック201-26のスキップ

制御回路からの信号を受取る。このスケッチ制御回路は制御スタブ・レジスタ201-15に記憶される定数値等により条件付けられ、前記レジスタは更に前記回路201-24に対するオペランドの1つとして適切な値を与える。前記回路は201-74により生成されて得たアドレスは、スイッチ201-14により与えられるアドレス・デコード201-25のスケッチ制御回路により与えられる定数値等の値を表示する。要約すれば、スイッチ201-14の異なる位置に、制御スタブ201-10から抽出されるマイクロ命令に等して選択され、プログラム命令のOPコードにより決定される操作の実行に必要とされる制御スタブ201-10に記憶されるマイクロプログラムに対して適切なアドレスを与える。命令OPコードは、図示の如く回路201-6を介してバス・デコード・メモリ201-2に与えられる。スイッチ201-14の異なるアドレス・レジスタ位置は分岐操作の結果としてプログラムの順序付けの順に選択されるが、定数レジスタ位置はレジ

スタブ201-15に記憶されるマイクロ命令の定数フィールドにより決定されるアドレス201-10における予め定められた場所に対する分岐を行うために選択される。

プログラム命令の実行の終了時点で前記命令が実行される。第2図から、高レベルの読み込み存在(HLIP)回路およびレベル読み込み(LZP)回路はスイッチ201-14に信号を与える事が出来る。HLIP回路に与えられる信号はプロセス制御レジスタ204-22からの読み込み存在信号と「AND」され、その結果はLZP回路に与えられる信号とORされる。高レベル読み込み存在信号が与えられない、即ちLZP回路に与えられる信号が存在する時、スイッチ201-14に選択された制御回路(図示せず)からの信号は例外/読み込み位置を選択する。読み込みの存在を表示する信号回路(LZPおよびHLIP)は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りに、マイクロ命令の読み込みシーケンスの照合を照合させる。

「例外」を表示する信号回路は、スイッチ201-14と等価する制御回路(図示せず)に与えられる。例外/読み込み位置の選択を要する。この状態で、マイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプによってのみは直ちに処理されるが、これは、実行するプログラム命令実行が与えられなければならない、即ち可能でない(例、過剰、非存在命令)のである。例えば、命令が回路のアナクションを必要としない(例、タイム・アウト・オーバーフロー等)プログラム命令の実行の完了と同時に処理される。又図に説明したように、例外の発生は、スイッチ201-14の他の読み込み位置を選択させ、プロセス制御レジスタ204-22の適切なビット位置のセンシングを要する。

第1図にPDAと表示され、制御セクション201-1に対する適切なメモリの操作サイクルを記憶するために必要なタイミング情報は、プロセス201-1の他のセクションおよび第1図のシステム内のモジュールを操作するためのタイミング

信号と共に、ブロック201-30に与えられるクロック回路により与えられる。本発明の目的に対しては、クロック回路および第2図の他の回路は共に図面上公知と考える事ができ、例えば、1972年キャサス・インストレーション社により発行された「設計技術者のための微細回路カタログ」なる書名の文献に示される回路図の無数と一つでもある。更に、クロック回路はクリスタル制御回路およびカウンタ回路からなり、スイッチ201-14に適切なデータのセレクト/マルチプレクサ回路を有するものである。

前述の事から、殆どどのマイクロプログラム化された制御装置における如く、制御スタブ201-10は各プロセスの操作サイクルのために必要な信号を与える。即ち、1操作サイクル中に制御スタブ201-10から抽出される各マイクロ命令ワードは多くの別々の制御フィールドに分割され、このフィールドは、異なるスクランブルパッド・メモリのアドレス指定およびオペランドの選択のための第2図の各種のセレクト・スイッチに与

して必要な入力信号と、分岐のための各テスト条件を指示するための信号と、セクション204の位置/シフト番地の動作を制御するための信号と、指令を生成するに必要な制御情報を与えるための信号とを与える。制御セクション201の動作に基ずくこれらにより生成された内容については、本発明の譲受人に提供されたG.W.パターソン著の「バスファインダ動作メモリ」なる特許出願中の米国特許出願を参照されたい。又、本文の関連出願に記載の文獻を参照してもよい。

命令バッファ・セクション202

本項は、命令メモリ・モジュール500から取出されかつレジスタ204-18に於けるデータを介して与えられる4ワード迄の命令を記憶するための複数のレジスタ202-2を含む。レジスタ202-2のグループは、2つの出力と1つの実行命令出力出力(CIR)と1つの戻り命令出力出力(NIR)を有するよう構成される2位置の命令レジスタ・スイッチ202-4に接続されている。4ワード又は完全ワード又は命令

のレジスタ(即ち、レベル)の1つを選択するが、残りの4ビットは16レジスタの1つを選択する。SIU100により能動読みレベル(AIL)回路に与えられる信号は、3つの最上位のビットをストラツパッド・アドレス入力203-12に与える。残りの信号は、制御ストア・レジスタ201-15又はIRSWを介して与えられる命令からのフィールドにより与えられる。

書き込みアドレス・レジスタ203-22は、スイッチ202-4を介してロードされ、レジスタ201-15に含まれるマイクロ命令のフィールドの1つにより表示される即ち実行プログラム命令のビット0-17又はビット14-17のいずれかに対応する信号を記憶する。従つて、書き込みアドレス・レジスタは、ストラツパッド・メモリ203-10の読みレジスタの1つに等価をロードしあるいはこれを実現するためのアドレス記憶を有する。書き込み動作は、指示しないクロックされた書き込みフリップフロップの2進数1への切替えに対し、あるいはレジスタ201-15へロー

特開53-84632(15)

ードの過渡は、プロセッサ204-12のレジスタの最初のものに書き記憶される実行命令カウンタ(CIC)のビット位置の状態に従つて行われる。本発明の目的のためには、この構成は構成上公知のものと考えられる。

記憶セクション203

第2図から判るように、このセクションは、8つの異なる8つの優先順位レベルを割当てられる8つの異なるプロセスと関連する8組又は8グループのレジスタを含むストラツパッド・メモリからなる。最低優先順位のレベルはレベル0であり、最高優先順位のレベルはレベル7である。各グループ間レベルは、前述の如く使用される16組のレジスタを含む。

ストラツパッド・メモリ203-10は、8つのソースのどれかから7ビットのアドレスをアドレス入力203-12に対して選択的に与える8位置のデータ・セレクト・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位のビット位置は8組

のマイクロ命令のフィールドに対して応答して生じる書き込みクロック信号の発生と同時に生じる。書き込みフリップフロップにより生成される即ち、戻りのPDAクロック・パルスの発生と同時に書き込みフリップフロップが2進数リセットされる時に書き込みクロック信号が生じる。これは、戻りの命令の処理を開始する間プログラム命令に基ずく書き込み動作を発生させる。

書き込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に出力回路上に信号を発生するように作用するセレクト・スイッチ203-14を介してデコード回路203-28に与えられる信号に依るであろう。この信号は、書き込みフリップフロップが2進数1の状態にある時、指示しないゲート回路により書き込みクロック・パルスの発生を停止する。更に、デコード回路203-28は、プロセス状態レジスタ204-20からモード信号を受取る。プロセッサ204がマスター又はスレーブ動作モードにある事を示す信号の状態は、

出力信号で「AND」され、プロセス制御レジスタ 204-27 およびスイッチ 201-14 の例外-割込み位置の選択を生じる 1 つに相当する入力として与えられる別の出力回路上の例外信号を生じようとして与えられる。本文に説明したように、この状態は、スタックパッド・メモリ 203-10 のプロセス状態レジスタの場所 (GRO) の内容の変更を禁止する。

アドレス指定されたレジスタの場所の内容は、最初の 2 位置のデータ・セレクト・スイッチ 203-18 を介してスタック・バッファ・レジスタ 203-16 に送達される。次いでこのバッファ・レジスタ 203-16 の内容は、別の 2 位置のデータ・セレクト・スイッチ 203-20 を介して処理セクション 204 に選択的に与えられる。データ・セレクト・スイッチ 203-14、203-16 および 203-20 の各々の異なる位置は、レジスタ 201-15 に送達されるマイクロ命令に含まれる異なるフィールドにより選択可能である。スタックパッド・メモリ 203-10 は、

の様に、このレジスタの内容を格納する信号は、処理セクション 204 のレジスタ (即ち、レジスタ 204-20) の 1 つに記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みの発生と同時にセクション 204 のプロセス状態レジスタの現在値を記憶するように作用する。

各グループのレジスタは、更に、処理するプロセスの現在命令のアドレスを記憶するための命令カウンタ (汎用レジスタ 1) を含んでいる。更に、各グループのレジスタは、ページ・テーブル基座レジスタ (汎用レジスタ 15)、およびオペランドとアドレス情報のための一時的記憶を提供するための多数の汎用レジスタ (汎用レジスタ 2-14) を含んでいる。スタックパッド・メモリ 203-10 は又、解放メモリ・モジュール 500 に記憶される例外制御ブロックおよび割込み制御ブロック・テーブルの基座を示す絶対アドレスを記憶する制御ブロックの基座 (CBB) レジスタの場所を含んでいる。決して変更されないレジス

タブロック 204-17 の 4 つの作業レジスタの内、のいずれか 1 つに選択的に与えられる 1 桁の出力バスから与えられるデータ信号を受ける。

16 桁のレジスタの各組は、実行プロセスの割込みに必須の情報の記憶のためのプロセス状態レジスタ (PSR) の場所 (汎用レジスタ 0) を含む。レジスタの最初の 8 ビット位置は、割込みモジュールを識別するよう符号化された時間情報を記憶する。次の位置は、操作モード (即ち、マスター又はスレーブ) を識別するよう識別するよう符号化された時間ビット位置である。このレジスタも又、レジスタ内容が変更できるかどうかを表示するよう符号化された状態レジスタのビット位置と、アドレス・モード・ビット位置と、2 つの操作モード・ビット位置と、増上げビット位置と、処理するプロセスが活動状態にある (即ち、「プロセス・タイマー」) として作用する) 計数的に差分されるカウンタを記憶するための 22 ビット位置とを含む。修正又は照会のために必要なプロセス状態レジスタの内容に対するアクセスの制限

の優先順位 (レベル 0) の最初の最初のレジスタ GRO は、制御ブロックの基本情報を記憶する。割込み制御ブロック (CBB) テーブルは、割込みタイプを処理するための情報を記憶する 256 グループの記憶場所を含んでいる。例外制御ブロック (ECB) テーブルは、例外タイプを処理するための情報を記憶する 16 グループの記憶場所を含んでいる。

例外とは、プロセッサ 200 を自動的に 16 の例外処理ルーチンの 1 つに入れるプロセッサ検出による条件である。この例外条件は、プロセッサがマスター・モードに入る時プログラム命令のビット 10-13 に規定する 4 ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号 (ECB#) は、例外処理ルーチンを指示する 4 ワードの例外制御ブロック (ECB) の 1 つを識別するのに使用される。ECB のバイト・アドレスは、制御ブロック・ベース (CBB) -16 (ECB#-1) と等しい。各 ECB は、プロセッサ 200 が例外ルーチンに入る前に、実行プロセスに属す

る情報を記憶するためのスタック領域として作用する符号区画ポイントに加えて、レジスタPSR、ICおよびPTBRをロードするための数値を含む。前記の判別ブロック(ICB)のアドレスは、判別ブロック・ベース(CBB)=16(ICB*)と等しい。ICB*は前述の如く判別ワードから導かれる。すなわち、ICBは4ワードのブロックであり、レジスタPSR、IC、GR14およびPTBRに対する数値を含む。

動作セクション2.2.4

このセクションは、プログラム命令の処理に必要な演算処理動作の全てを要約する。セクション2.04は、1ワードの36ビットのオペランドに対して演算、シフトおよび論理的動作を要約する能力がある加算/シフト装置2.04-1を含む。装置2.04-1の元算部命令又はシフト部命令のいずれかにより主たる結果は、マイクロ命令に送られて選択され、その後1ワードの出力回路上の4位データ・セレクタ・スイッチ2.04-8をブロック2.04-12の作能レジスタのいずれかに対

し、およびデータ出力レジスタ2.04-14に対して選択的に転送される。データエッジコンソリ2.04-14はプロセッサ・データ・インターフェース600の回路に接続する。

本装置の目的のためには、装置/ソフト装置2.04-1は機能上は公知と考えられる。又、装置2.04-1は、J.P.スタッフォード(Stafford)の米国特許第3,811,039号に開示される如き回路から、本装置の製造に転写された他の回路に開示される回路を含むものでもよい。

ブロック2.04-12は、命令カウンタおよび命令実行の第7アドレスに対して一時的記憶を与える4つの作能レジスタR0乃至R3を含んでいる。これらレジスタは、スイッチ2.04-8に接続されたソースの内のいずれか(即ち、加算/シフト装置2.04-1、アドレス・スイッチ2.04-6、PSR/PCR スイッチ2.04-24およびスタックパッド・バッファ入力スイッチ2.03-18)からロードできる。ロードされるべきレジスタおよびこのレジスタのロードに必要とされ

る選定情報は、レジスタ2.01-15に送出されるマイクロ命令に含まれるフィールドにより提供される。

第2図から判るように、各レジスタは1ワードの出力バスWRPおよびWRRに接続される。WRPバスは、アドレス入力2.04-5と、スイッチ2.03-18と、スタックパッド・メモリー2.03-10に接続する。WRRバスは、Aオペランド・スイッチ2.03-20と、Bオペランド・スイッチ2.04-1と、レジスタ2.04-20と、レジスタ2.04-22に接続する。WRRおよびWRPバスに付して接続するための選択されるレジスタは、レジスタ2.01-15に送達されたマイクロ命令に含まれる1ワードのフィールドにより表示される。

第2図から判るように、状態セクション2.04は、プロセス状態レジスタ2.04-22とプロセス状態レジスタ2.04-22を含む。前述の如く、プロセス状態レジスタ2.04-22は出力バスWRRを介してスタックパッド・メモリー2.03-10からロードされる。プロセス状態レジスタ

2.04-22は、全ての8つの選定レベルに等しい36ビットのレジスタである。

プロセス状態レジスタ2.04-22のビット位置は、下記の情報を含む。ビット位置0-8は、下記のものを表す異なるタイプの非マスター・モードの例外を表示する。即ち、

PCRビット位置	例外タイプ
0	条件不発了、回帰ARA又はARDA上のSIU100からの応答なし。
1	ページ・アドレスは過剰となる(オーバーフロー)
2	ページ・アクセス異常
3	メモリーに存在しないページ
4	過剰操作
5	プロセス・タイマーのラン・アウト
6	オーバーフロー
7	ロック・アップ異常
8	アドレス位相合せ不良

用語「過剰」は必ずしもハードウェアの発生を意味せず、エラー条件等を含む。

ビット位置 9～15 はパリティ・エラーの場所を識別し、ビット位置 23～26 は PVID および AID 回線から受取るプロセッサ番号およびレベルを識別する。ビット位置 27 は読み込み禁止ビット位置であるが、ビット位置 28～35 は、2 進数 1 でコードされるとビット位置と対応するレベル（例、ビット 28 = レベル 0）における読み込みを表示する読み込み要求ビットを記憶する。ビット位置 27～35 は、出力バス WRR を介してブロック 204-12 のコンシスタ・バンクからプログラム命令にマイクロコード印記である。各レジスタ 204-20 と 204-22 の内容は、2 位置のデータ・セレクタ・スイッチ 204-74 を介して 4 位置データ・セレクタ・スイッチ 204-8 の位置の他の 1 つに対する入力として選択的に与えられる。レジスタ 204-20 は、2 位置の時間セレクタ・スイッチ 204-10 および 4 位置のアドレス・セレクタ・スイッチ 204-6 の PI 位置に接続する。

時間スイッチ 204-10 は、適正なモジュー

ルに対して指令を記憶するのに使用される SIC 100 に対して時間情報を与える。レジスタ 201-15 に記憶されたマイクロ命令に含まれるフィールドの 1 つは、メモリー・指令又は PI 指令のいずれかに対応する適切な位置を選択する。メモリー・指令に対する時間情報は、マイクロ命令に含まれるフィールドから、ストラクチャッド・メモリー 204-4 からページ番号をアドレス情報又はバス WRP から絶対アドレス情報と共に生成される。

R/W 指令に対しては、時間情報は以下の二つに与えられる。即ち、ビット 0 は R/W 指令に対する 2 進数であり、ビット 1 は局域/リモート・メモリーを規定しかつ PTW ビット 0（ページ付けされる）又は WRP ビット 0（絶対）に対応する。ビット 2～4 は PTW ビット 1～3（ページ付け）又は WRP ビット 1～3（絶対）に対応する。ビット 5～6 は、単精度か 2 倍精度伝送かを表示しかつ押し操作か読み込み操作のタイトルかを表示するよう符号化されるマイクロ命令のフィールド

の 1 つのビットに対応する。メモリー・タイトル開始即ち指令の開始と同時に、時間スイッチ 204-10 からの信号は、信号をプロセッサ 200 のデータ・インターフェース 600 の適当な回線に与える時間レジスタ 204-16 にロードされる。前述の如く、別の時間情報を含む指令は、PI 指令の場合におけるアドレス・スイッチ 204-6 の位置 2 により与えられる。

又第 2 図からも判るように、記憶セクション 204 は、WRP バスに接続されたレジスタの 1 つからアドレス情報を受取るアドレス入力 204-5 を介してアドレス指定可能なストラクチャッド・メモリー 204-4 を含む。ストラクチャッド・メモリー 204-4 は、局域メモリー・モジュール 500 をアドレス指定するための絶対アドレスを生成する時使用される 8 つの読み込みレベルの各々に対してページ・テーブル・アドレス記憶域を与える。アドレス指定される時、ストラクチャッド・メモリー 204-4 の記憶域の各々は、アドレス・スイッチ 204-6 の 4 位置の内の 2 つ

に與出される。これらの 2 つの位置は、局域メモリー・モジュール 500 のページ集合のために使用される。ストラクチャッド・メモリー 204-4 のページ付け操作は特に本明細には開示しないため、本文においてはこれ以上詳細に記さない。

アドレス・セレクタ・スイッチ 204-6 の他の 2 位置はメモリー又は PI 指令を与えるために使用される。特に、レジスタ 201-15 に記憶されるマイクロ命令ワードのアドレス情報フィールドにより選択される時、アドレス・スイッチ 204-6 の位置 1 は R/W メモリー・指令情報を生成し、この情報は、マイクロ命令ワードの予め定められたフィールドに従つてビット 0～8、およびメモリー 204-4 からページ付けされるアドレス情報又はブロック 204-12 の作動レジスタにより出力バス WRP に与えられる絶対アドレス・ビットのいずれかに対応するよう符号化されたビット 9～35 を含んでいる。スイッチ 204-6 の PI 位置が選択される時、このスイッチはプログラム印記インターフェース指令ワードを生

成し、この命令ワードにおいては、ビット0は2
進数であり、ビット1はレジスタ201-15
に記憶されるマイクロ命令ワードのフィールドに
より与えられ、ビット2はPSRレジスタ204-
20のビット9により与えられ実行プロセスがあ
るか否かを決定するかどうかを決定し、
ビット5-8はレジスタ204-20のビット4
-7に等しくモジュールポインタ又はサブテ
ンションを決定し、ビット3はSIU100により与
えられるプロセス番号を指定するよう昇格化
され、ビット4は等であり、ビット9-35はPI
命令の絶対アドレスに等しいパスWRPのビット
9-35と等しい。

モジュール・モジュール500の構成

図6には、本発明のシステムと、本発明の表示
窓によるモジュール・モジュール500の構成
した構成例を含む主要ブロックを示す。図6に示
すように、モジュール500は、図示の如く構成され
てカクシエ・ストア・セクション200-2、補助
記憶装置セクション500-4、入力レジスタ

セクション500-12、記憶装置セクション
500-6、出力スイッチ・セクション500-
8、および出力スイッチ・セクション500-10
を含むことが知られる。出力スイッチ・セクション
500-10と入力レジスタ・セクション500-
12は、前述の如くSIU100のスイッチを介
してプロセスP0又はマルチプレクサ・モジュ
ール500のいずれかに属してデータおよび命令
情報を伝達しかつこれを受取る。

図7は更に詳細に示されたカクシエ・ストア
セクション500-2は、記憶する命令は500-
21を有するカクシエ500-20と、記憶す
る比較命令500-24を有する命令記憶装置
500-22と、ビット論理回路500-26を
図示の如く記してなる。カクシエ・ストアは、各
々が命令上公知の複数のバイポーラ回路チップ
から構成される4つのレベル間のセクションに構
成されている。各レベルは、各バイト・セクショ
ンが5つのバイポーラ回路チップを含む8つのバ
イト・セクションに分割される。この回路チップ

は各々が128個のアドレス指定可能な7ビット
の記憶場所を含み、チップは合計すると64ブ
ロックのアドレス指定可能な756のアドレス場所
を有し、このアドレス場所では、各ブロックは、
命令ワードが4バイト(バイト=0データ・ビット
-1パリティ・ビット)を含む4、40ビットワ
ードとして記憶される。

命令記憶装置500-22は各カクシエ・ブ
ロックのアドレスを記憶し、同時に4つのレベル
に構成される。命令500-22は、カクシエの
4つのレベルが次の順序でタイタルの順序で記憶さ
れるべきかを決定するための増減カウンタ装
置(図示せず)を含む。異なるレベルのカクシエ
は30ビットのラスタを有し、カクシエ・ブ
ロックは2つのこのようなラスタを含んでいる。全
体命令記憶装置500-22は、このようにカクシ
エに分割されるブロック数に等しいラスタに
分割されている。本発明の目的のためには、この
順序で公知と見られ、R-Eランジ(Lange)
等の大規模集積回路3,845,474号に開示される構成

に類似するものでよい。カクシエの順序タイタ
ルの間、4つのバイトが8つのセクタ・間の1
つの命令を介して出力マルチプレクサ・スイ
ッチ500-10に記憶される。

この命令記憶装置500-22はブロック
500-24の比較回路にアドレス信号を与える。
命令上は公知のこれらの回路は、要求されている
命令が4つのレベルのいずれかにあるか否かを
決定する(即ち、ビットの存在)かどうかを確
定するよう作用する。比較回路500-24は、
比較の命令をブロック500-28のビット回路
に与える。このビット回路500-28は、更に、
ブロック500-6の制御装置回路に対する入力
として与えられるビット表示を記憶する。補助記
憶装置セクション500-4は、補助記憶装置
500-40と、タイミング回路500-48と、
160ビットの出力レジスタ500-42と、デ
ータ訂正パリティ発生回路500-44と、ブ
ロック500-46の各々の制御回路を第7図に示
す如く構成されている。回路500-48はカク

シタおよび高低両端引出をきんでいる。これは標準上は公知であるが、メモリー・モジュール500-2の全動作を同期する他のタイミングおよび制御信号をよめる。

補助記憶装置500-40は、標準上公知の4KのMOSメモリー・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリー・ワードの容量を有する。データバスバリエーション回路は、補助記憶装置500-40から読出されたワードに書込まれるワードにおけるエラーを修正および訂正するよう作する。本回路の目的のためは、これ等の回路は標準上公知と考えられる。

第7図から判るように、入力レジスタ・セクションは、ゾーン、アドレスおよび指令(ZAC)レジスタ500-120と、第1のワード・パツファ・レジスタ500-122と、第2のワード・パツファ・レジスタ500-123を指示の如く組合してなる。ZACレジスタ500-120は、第9図に示されるフォーマットを有するZAC指

令ワードを記憶する。入力パツファ・レジスタ500-122は500-123は、リクエスト・モジュールによりインターフェース603のDTM同期に与えられるZAC指令のデータ・ワードを受取るように構成される。レジスタ500-122と500-123の内容は、2つのマルチプレクサ・スイッチ500-8の1方の異なるパイプラインに与えられる。スイッチ500-8は又補助記憶装置から読出されてキャッシュ500-20に書込まれるデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコード・ゲート回路に与えられ、アドレス信号はブロック500-6の回路図と受動型記憶装置500-72とキャッシュ500-70とそのアドレス指定のための補助記憶装置500-40とに配分される。

ブロック500-6の回路図は、ZACレジスタ500-120に記憶された指令により指定される動作を実行するための局外メモリー・モジュールの異なる部分を条件付けるための各種の制御

およびタイミング信号を生成する。これは、それぞれ補助記憶装置500-40に書込まれ、又補助記憶装置500-40とキャッシュ500-70から読出されるデータ信号のグループを選択するため、入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に与える配分型信号を含んでいる。本回路の目的のためは、本で説明される第8図の回路図の如く、マルチプレクサ又はデータ・セレクト回路およびレジスタは標準上公知と考えられ、前述のチャタス・インストルメンツ社の文献に開示される回路図をとりつてもよい。

第8図に更に添付したブロック500-6、500-21、500-76および500-46の回路図のあるものを示す。図解において、ブロック500-6の回路図は補助記憶のAND/NANDゲート500-60乃至500-74を含んでいる事が判る。ゲート500-60、500-61および500-62は、ZACレジスタ500-120からZAC指令ビット信号およびキャッシュ・パイ

プラインの異なるものを受取るよう構成されている。これ等の信号は図示の如く合線され、ゲート500-64と500-74に与えられる。その結果得た読出しロードおよび読込みロード信号は、キャッシュ制御回路500-21、受動型制御回路500-26および補助記憶装置制御回路500-46に図示の如く与えられる。RCLO 00およびHR 100の如き他の指令信号も又補助記憶装置500-46に与えられる。

第9図から判るように、キャッシュ制御回路500-21は、書込みクロック使用回路図500-214に示して書込みキャッシュ・タイミング信号をよめる並列構成されたNAND/ANDゲート500-210と500-212をきんでいる。書込み回路図500-214は、標準上公知の論理ゲート回路を含み、この回路は書込み操作サイクルの条件式必要とされるキャッシュ500-20に与えて適当なタイミング信号をよめる。更に、制御回路は、補助記憶装置500-40からデータのブロックをキャッシュに書込むための必要とされる

ようなアドレス・ビット32の初期値を修正するよう作図するAND/NANDゲート500-216乃至500-222を更に含む。

同時に、分番識別回路は、直列接続されたNAND/ANDゲート500-260、500-262、500-264を含む。この最後のゲートは導込み制御信号500-264に導込み金庫管理タイミング信号WRDR100を与える。この導込み制御信号500-266は電圧上に公認の論理ゲートも持っており、この回路は導込み動作タイムの遅延に必要な分番識別信号500-22に対して適切なタイミング信号を与える。

導込制御信号回路500-46は、直列接続されたAND/NANDゲート500-460乃至500-468を含んでいる。これらゲートは導込制御信号要求信号BSREQ100および制御データ信号を生成して導込制御信号の出力信号導込み動作タイムルを調整すると共にSIU100に対する導込制御信号データの転送を許可する。

第8図の最後の回路グループは第7図のビット

特開53-84632(21)

シフトレジスタを構成する。この回路は表示された導込されたANDゲート500-280乃至282のみにNAND/ANDゲート500-290と500-292を含む。このNAND/ANDゲート500-280は、比較回路500-24からその両方の比較信号を受け取り、ゲート500-282に対して分番識別信号の表示を与える。ゲート500-282の出力は更にヒット・レジスタ・フリップフロップ500-284のセット入力端に与えられる。NAND/ANDゲート500-284は、フリップフロップ500-284のリセット入力端を制御しかつこれに与えるSIU100からの受入れZAC信号を受ける。フリップフロップ500-284からの2進数1および零の出力信号は、その後第8図に示された回路ブロックの最終のものに配分される。

システム・インターフェース管理100の導込 設定セクション102

システム・インターフェース(SIU)100は、前述の如く、複数のクロスバー・スイッチを介

して第1図のシステムの各モジュール間の通信を行う。モジュールの各インターフェースの回路から信号を集めるための複数のクロスバー・スイッチが使用される。第3図は、モジュール間込みインターフェースを形成するための導込セクション102のスイッチおよび回路を示す。第1図のシステムにおいては、それぞれがその導込インターフェース602の導込回路を介してSIU100に与えられるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートIと関連する導込インターフェースを介して信号を与える。

第3図からわかるように、ポートIを要求する各モジュールは、導込優先順位および制御ブロック101-2の導込回路に与えられるそのIDA回路における導込導込優先順位情報と共に、その導込要求(LIR)回路に信号を与える。ブロック101-2の導込回路は、全ての導込インターフェースをモニターし、実行中のプロセスよりも高い優先順位を有する要求がある時、プロ

セツ200に与える導込プロセッサに信号する。プロセツ200がこの要求を受理する事ができる信号信号する時、SIU100は、導込優先順位要求と関連する識別子情報をプロセツ200に対してゲートする。この識別子情報は、パリティ・ビットを含む8ビットの導込識別ブロック番号と、3ビットの導込レベル番号と、パリティ・ビットと4ビットのチャネル番号を有する1ビットのプロセツ番号を含んでいる。

更に詳細に導込セクション102について考慮すれば、ブロック101-2の導込回路は、プロセツ番号および導込要求信号を符号化するデフォルト値を含んでいる。パリティ・エラーがなければ、デフォルト回路からの出力信号は表示されたプロセツの導込回路の優先順位論理回路に与えられる。この優先順位論理回路は、導込レベル番号を符号化し、優先順位レベルを決定し、次いでポートの優先順位を決定しその結果優先順位レベルと最上位のポート順位を有するモジュールが選択される。与えられたレベルにおける導込

フロントロータの差速器で駆動し、n位の
 ニニ駆動の1つにニニ倍率を生じるように作ら
 る。また、nはシステム内の駒込みモジュールの
 数である。n位の出力駆動は、レジスタ101
 -6にロードされるべき現在進行中のレベルより
 高い発生率を有する駒込みレベルの駒込みレ
 ベル番号を選択する8ビットのデータ・セレクタ・ス
 イッチ101-4によえられる。レジスタ101
 -5からの出力信号は、高レベル駒込み存在
 (HLP) 信号と低レベル番号存在 (LZP) 信号の
 両方に2進数1に強制するSIG100に送達してブ

可ましの環境整備に於ては、下記の時間モードが第1図のモジュールの強制のものを示される。

ピンと 2-35 は多量ポートを有するモジュ

コード	割り当てられた SIU ポート (モジュール)
0000	局間メモリ・モジュールポート LMO
0001	ポート K
0010	SIU 000-ポート L
0101	保護マルチプレクサ 400-ポート J
0110	プロセッサ 700-ポート G
1101	高速マルチプレクサ 300-ポート A
1110	上段プロセッサ 700-ポート E

セレクト回路101-8により生成された4ビットワードは、更に、ゲート回路101-12に含まれる公転のANDゲート回路のグループに与えられる。このソース・システムにより与えられた信号と選択信号は又回路101-12の他のゲート回路に与えられる。次に、各モジュールは、和込み制御ブロック番号(ICBN)をそのIDA回路を介してR記憶のデータ・セレクト・スイッチ回路101-14の別の1つの位置に与える。更に、各モジュールは、ソース・モジュールの要求値のアブザンセル又はポートを識別する情報

を到達インターフェースの INID 回路を介して回路網 101-12 のデータ回路の何れのものに与える。プロセッサ 200 がその到達データ要求 (IDR) 回路を 2 進数 1 に強制する時、SIU 100 はデータ回路網 101-12 からの信号を、4 進数のデータ・セレクタ・スイッチ回路 101-20 の位置の 1 つを介してプロセッサのデータ・インターフェース 600 の SIU (DFS) バス回路からのデータに与える。スイッチ 101-20 の他の位置は、二進数の回路に通過しないことを示すため、データ伝送セクション 102

第 3 の図はシステム・インターフェース 100 のデータ伝送セクション 102 を示す。このセクションは、どのソース・モジュールがそのプログラム回路インターフェース 601 上の高速マルチプレクサ 300 に指令を送信するか、又どのソース・モジュールがそのデータ・インターフェース 600 上のマルチプレクサ 300 に対してデータを送信するかを指定する優先順位回路を含んでいる。更に、セクション 102 は、どのソース・モ

ジュールがデータ又は指令のいずれかをモジュール・メモリ・モジュール 500 に伝送しているかを決定する優先順位回路を含んでいる。

15 に提出されたマイクロ命令の SIU 要求タイプ別ビット・フィールドに従って使用可能の状態となる。2 進数のデータ・セレクタ・スイッチ 102-2 に与えられたプロセッサ・データ・インターフェース 600 の前 SIU データ回路 (DTS) は、第 2 の図のプロセッサのデータ出力レジスタ 204-14 にコードされるマイクロ命令制御下で生じる指令情報を伝送する。前 SIU 共同データ (SDTS) 回路は、第 2 の図のプロセッサのレジスタ 204-16 にコードされるマイクロプログラム制御下で生じた信号を受取る。

第 1 の図のシステムに於ては、I/O プロセッサのみがマルチプレクサ 300 のみに信号を伝送し、プロセッサ 200 が回路網 102-4 に信号を与える。従って回路網 102-4 はデマンド回路を含み、この回路はプロセッサ・モジュールがマルチプレクサ 300 に対して指令の伝送を依頼する信号を指定するたのプロセッサ・モジュールからの信号情報を受取る。1 つ以上のモジュールが同一のタイトル中に伝送を依頼する時、1 つ以上の I/O プ

ロセッサがデータ又は指令のいずれかをモジュール・メモリ・モジュール 500 に伝送しているかを決定する優先順位回路を含んでいる。

1 図のモジュール間の伝送は一方のモジュールが他方のモジュールに対し要求を生じた時に生じ、又この要求は他方のモジュールにより与えられて事が起るであろう。要求が与えられるたのには、要求側のモジュールは優先順位を降せねばならず、他方のモジュールは情報を受取る状態にならねばならず、低優先度の要求が使用可能 (即ち使用でない) でなければならぬ。

プロセッサ 200 によりセクション 102 に与えられる信号に関しては、これら信号の発生は大きな割合で第 2 の図のプロセッサ・レジスタ 201-15 に提出されるマイクロ命令の異なるフィールドにより与えられる。例えば、ブロック 102-4 の共同回路に与えられるプロセッサ 200 からの活動出力ポート要求 (AOPR) は、提出し/到達メモリ又はプログラム回路インターフェース指令の伝送を規定するよう符号化されるレジスタ 201-

ロセッサの命令には、回路網 102-4 に含まれる優先順位回路網は、優先順位を割当てられたモジュールを選択し、そのプログラム回路インターフェース 601 の PDFS 回路上のマルチプレクサ 300 に対する前記モジュールによる指令の伝送を許可する。更に、回路網 102-4 は、通常のモジュールからの信号を選択する 2 進数のセレクタ・スイッチ 102-2 に信号を与える。この状態は、マルチプレクサ 300 が PIR 回路を 2 進数 1 に強制する事により指令を受入れる事がある事を SIU 100 に対して伝達する時に生じる。同時に、回路網 102-4 は APC 回路を 2 進数 1 に強制してマルチプレクサ 300 に対し PDFS に与えられた指令を受入れる事を伝達する。プロセッサ 200 がマルチプレクサ 300 に対してプログラム回路インターフェース (PI) 指令を与える命令を実行する時、プロセッサ 200 は指令のビット 3 にプロセッサ番号の識別を付し、マルチプレクサ 300 は、プロセッサ番号の前述の如く到達ムデータの一環として含まれる到達ム要求を受

る事を表すこの指令に含まれるプロセッサ番号を記憶する。PI指令がマルチプレクサ300に回送される時、リクエストとしてプロセッサ200を識別する識別情報はマルチプレクサ300（ポートA）と関連するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がSIU100に対する読出しデータ転送要求を生じる事により返答する時、レジスタ102-6の内容はデータを転送するための基調のモジュールとしてプロセッサ200を識別するために使用される。

予備の情報がデータ情報をマルチプレクサ300に転送するために使用される。第1図においては、メモリー・モジュール500は、データをマルチプレクサ300に転送する唯一のモジュールである。このような転送は、前述の如く回路102-70を介してマルチプレクサ300よりメモリー・モジュール500に回送される読出しメモリー指令（ZAC）に返答して生じる。マルチプレクサ300が指令を回送する時、SIU100は、マルチプレクサ300から受取るマルチポ-

ー・識別情報を転送する適当なビットの識別子識別コード（識別コード）を生じる。この情報は、メモリー・モジュール500により記憶され、モジュール500が読出しデータ転送要求を生じる時SIU100に送られて、マルチプレクサ300がデータを受取る。又、SIU100が要求を受入れる時、これは回路ARDAを2進数1に強制する事によりマルチプレクサ300に還元する。

読出しデータ転送要求（RDTR）回路は、メモリー・モジュール500によりコントロллされる時、回路102-14に対して1操作サイクルの間読出された情報を転送する用意がある事を待受する。局所メモリー・モジュール500は又、情報をメモリーからのリクエスト識別子（RIFM）回路に与えて、情報が転送されるべき要求者のモジュールを識別する。

更に、デコード回路102-14内訳の回路はRIFM 回路に与えられた識別番号を待ち、局所メモリー・モジュール500が情報をマルチ

プレクサ300に転送する用意がある（マルチプレクサ300は情報を受取る用意があるものとする）事を待ちが完了する時、デコード回路102-14は適当な情報をセレクト・スイツチ102-12およびポート回路102-16内訳の回路に与える。

更に、デコード回路102-14はデータ・インターフェースの読出しデータ受入れ（ARDA）回路に信号を与えて、マルチプレクサ300に対してこれがそのインターフェース600のSIU（DFS）回路からのデータを受入れる事を待受する。プロセッサ102-16の回路はSIU からマルチポート識別子（MIPS） 回路に対して適当なマルチポート識別子情報を与えて、RIFM回路から与えられる要求者のアドレスを識別する。転送が生じると、回路102-14はRDAA回路を2進数1に強制して、データがメモリー・モジュール500により受入れられた事を要求者のモジュールに待受する。

回路102-14に強制した状態をSIU100

に用いて第1図のモジュールのどれかからのPI指令およびメモリー指令を局所メモリー・モジュール500に転送する。モジュール500は、プログラム可読インターフェース又はメモリー指令のいずれかを受入れる用意のある時、デコード回路102-20に与えられるプログラム可読インターフェース要求（PIR）回路又はZACインターフェース要求（ZIR）回路のいずれかを2進数1に強制するように作用する。更に、プロセッサ200、プロセッサ700およびマルチプレクサ300は、回路102-70の信号を活動出力ポート要求（AOPRI）に、又活動データとそのデータのインターフェースのSIU回路に与える。回路102-70は、各モジュールにより与えられる識別情報の待ちと同様に、メモリー・モジュールのデータ・インターフェース603のPI-SIUデータ転送回路に対して待ちを最優先順位を有するモジュールに与えさせるための3位次のセレクト・スイツチ102-74に適当な信号を生じるように作用する。又、ポート回路102-26

を介して読取メモリ・モジュール・インターフェース603のメモリ要求識別子(RITM)回路上の適当なリクエスト識別信号と共に、プログラム可能指令受入れ(APC)回路又はZAC指令モード受入れ(AZC)回路のいずれかに対して回路図102-20が信号を伝える事も判ろう。

最後の2つの回路図102-30および102-40は、それぞれプロセッサ200により形成生成されたメモリ・指令およびPI指令に基き、メモリ・データおよびプログラム可能インターフェース・データをプロセッサ200に対して転送するために使用される。第30図から判るように、優先順位デコーダ回路図102-30は、回路図102-14と類似入力回路を有し、同じ方式で第30図のデータ・セレクタ・スイッチ102-32と4位置セレクタ・スイッチ101-20を介して要求されたメモリ・データをプロセッサ200に転送するよう作動する。プロセッサ200は一般に、1つの指令を処理するため、プロセッサ要求に基きプロセッサのDFS回路に転送するた

セレクタ回路102-42を動作させる信号を生じる。これら信号は、更に、モジュール要求信号により動作付けられる第30図のセレクタ・スイッチ101-20を介してプロセッサのDFS回路に与えられる。次の動作サイクルの間、回路図102-40はRDAA回路を2進数1に強制し、PDTS回路に与えられたデータが受入れられた事およびモジュールがこの類のようなデータを減去(その出力レジスタをクリア)できる事をモジュールに対して信号する。このように、スイッチ101-20は3つのタイプのデータのどれでもプロセッサのデータ・インターフェース600のDFS回路に選択的に与える事が判る。

本発明の目的のためには、第30図の各ブロックに内蔵される回路は、例示に公知と考えられ、テキサス・インストルメンツ社の前記文献に見られる物理回路を基のともよい。又、本発明の目的のためには、各図回路は公知のクロック・スイッチでもよい。

特開 昭53-84632(25)

のデータを選択・スイッチ101-20に与えるモジュール間は競争が生じない事が判ろう。即ち、プロセッサ200が第12のモジュールの1つの指令を返つた後、その動作は中断されて要求されたデータの受取りを待機する。SIU100は、プロセッサの要求の受入れと同時に、プロセッサに送る動作を管理するプロセッサのARA回路を強制する。

別の回路図102-40は、PI指令に基き、モジュールからの戻りデータ受取を処理する。回路図102-40は、表示しないのでモジュールのレジスタと共にレジスタ102-6からRDTH回路に与えられる信号を処理する。モジュールが要求されたデータをプロセッサ200に返そうとしている(即ち、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト識別子)をSIU100が検出する時、回路図102-40は、プロセッサ200に対して要求されたデータを返そうとするモジュールのPIインターフェースのPDTS回路からの信号を伝えるよう3位置データ・

高速マルチプレクサ300

共通セクション

第4図は更に詳細に共通セクション301とチャンネル・アダプタ・セクション302の一端を示す。第4図において、共通制御セクションは、2位置データ・セレクタ・スイッチ301-1を経てマルチプレクサのプログラム可能インターフェース601のPDFS回路を介して受取つたPI指令のワードを記憶するための1対のレジスタ301-2と301-5を含んでいる事が判る。スイッチ301-1は、別の回路(即ちDFS回路)からのPI指令信号をレジスタ301-2と301-5にロードさせる。然し、望ましい使用環境に於ては、PDFS回路のみを使用する。又、レジスタ301-4はドライバ回路301-3を介してインターフェース600のマルチプレクサ・データのDFS回路に与えられたメモリ・データを受取る事も判る。

両レジスタ301-2と301-5から共通信号は、ブロック301-8のドライバ回路を介

して4つのチャンネル・アダプタ・セクションの2位データ・アダプタ・サイン301-6を経て選択的に与えられる。又、指令信号は、2位データ・セレクタ・スイッチ301-42を介して8位データ・セレクタ・サイン301-20の1位に選択的に与えられる。同じサイン301-42も又、レジスタ301-40からブロック301-43のドライバ回路を介して4チャンネル・アダプタ・セクションの各々にデータ信号を与える。

1位のバリタイ・検出回路301-45と301-49は、レジスタ301-2と301-5と301-40の内容に基く検出を行い、その結果を表わす信号をCスイッチ301-50に与えられる状況信号を生じるブロック301-4の回路に与える。これ等の回路は構造上は公知の論理回路を含み、この回路はレジスタ301-2からの信号をチャンネル・アダプタ・セクションからの信号と合成して、プロセッサ200から受取る指令を実行するのに必要な制御信号を生成する。

更に、レジスタ301-5からの信号は、ブロック301-8、301-15および301-16のドライバ回路を経てブロック301-10、301-12および301-14の増幅機のレジスタの選択された1つにロードし込む。ブロック301-10は、構造上は公知であり、前記のキャパシタ・インストールマシン社の文献(例、T17481)に開示されたレジスタ制御をとりもつ4つの8ビット・レジスタからなる。これ等レジスタの各々からの出力信号は、4位データ・サイン301-30と8位データ・サイン301-32からの対応する信号と共に、セレクタ・スイッチ301-20の選択位置に対して入力として選択的に与える事ができる。チャンネル・アダプタ・セクションのICB、レベルおよびマスク・レジスタの内容は、PI指令に基きしてテストおよび故障検出の回路中に検出する事ができる。

更に、ブロック301-10の選択制御ブロック・レジスタは、選択レベル優先順位回路301-24により生成された信号に基きして

14ビットの選択データ(IDA)レジスタ301-22に選択的に与えられる。ブロック301-12の24ビット・レベル・レジスタの各々のグループのビット位置は、8位データのマルチプレクサ選択サイン301-26乃至301-28の別の1つで指定する位置に与えられる。又、ブロック301-12の各レベル・レジスタは、4位データ・サイン301-30と8位データ・サイン301-32の異なる位置に与えられる事もあろう。又、ブロック301-14の8ビット・マスク・レジスタの各々は、4×8セレクタ・スイッチ301-32の異なる位置と、ブロック301-34の選択制御優先順位およびタイプ検出回路に与えられる。

図4を参照すると、ブロック301-34の増幅機は、チャンネル・アダプタに与えられるコントローラ・アダプタにより生成される選択信号の位相、チャンネル・アダプタから選択信号を受取る。更に、各々チャンネルは4つの異なるタイプの選択要求を生成する。

これ等は、開示しない符号状況レジスタ内のバリタイ・エラー・インジケータ・ビットのセンシングにより生じる選択要求を含み、前記レジスタは、ブロック301-4の一端、データ制御ワード(DCW)選択、プログラム可能選択、および選択指令の検出により生じる選択要求として考える事ができる。選択要求は、4つの全てのチャンネルに対して同じであるブロック301-34に対して1つの入力を有するように各チャンネルに共通とされている。

各コントローラ・アダプタも又、アダプタに与えられた信号のタイプに基き4つの異なるタイプの選択要求を生じる。ディスク装置の場合には、選択要求のタイプは下記のものを含み、即ち、バリタイ・エラーの検出により生じる選択要求、回転速度を感知する選択、データ転送終了選択、およびシーク操作のオフ・ライン操作の完了により生じるオフ・ライン選択である。この4タイプのチャンネル選択要求および4タイプのCA選択要求は、一路に信号EV0

乃至EV7と表わされるCAチャンネル毎に9タイプのグループを定める。各タイプの読み込み要求は、4つのチャンネル・タイプの読み込み要求がEV0～EV3に対応する0～3の番号を付し、4つのコントローラ・アダプタ・タイプの読み込み要求がEV4～EV7に対応する4～7の番号を付されるように3ビット・タイプの番号が割当てられている。読み込みのロードを要する場合は、最優先順位を要する（例えば、000＝最優先順位＝EV0＝最優先読み込み、111＝最優先順位タイプ＝EV7＝マフ・ライン読み込み）。異なるタイプの読み込み要求の優先順位は決定され、タイプ番号により決定される。各チャンネルは、ブロック301-4により与えられる共通電源入力と共に、ブロック301-34に対する7つの読み込み要求入力を与える。

ブロック301-34内の各ビットは、ブロック301-14のマスク・レジスタの各々からの信号を、各チャンネルおよびアダプタからの読み込み要求信号と論理的に合致し、各チャンネルに対す

る読み込み要求を要する読み込み・ポートを決定する。各チャンネルに対する3ビットのタイプ・モードは、マルチプレクサのセレクト・回路301-25乃至301-29の対応する1つに与えられる。ブロック301-34により生成されたタイプ・モードの値も又、4位置のレベル・タイプ・セレクト・スイッチ301-35の位置の決定するものに対して入力として与えられる。

各マルチプレクサ回路301-25乃至301-29は、ブロック301-34の各ビットにより選択回路に与えられるとすると、読み込みレベル・モードは回路301-24に対する入力として与えられる3ビットのレベル・モードを与える。回路301-24は1つの読み込み信号を主とし、この回路は、ブロック301-10のICBレジスタに対する制御入力として、スイッチ301-35と、4位置の読み込みマルチポート識別子INIDスイッチ301-36を接続する。回路301-24により生成された信号は、最優先順位を要するチャンネル又はポートを表示する。1つ以上のチャ

ンネルが同じ優先順位を要する場合には、回路301-24の選択回路は最下位のチャンネル番号を割当てられたチャンネルを選択する（即ち、CA0=00XX＝最優先順位、CA3=11XX＝最下位番号）。コントローラ・アダプタがサブ・チャンネル又はポートを要する場合は、CA1からの1つの信号はスイッチ301-36の下位の2ビット位置に信号を与える。スイッチの上位の2ビット位置は、対応するチャンネル・アダプタ番号（例えば、00＝CA0、等）を恒久的に与える。スイッチ301-36の出力は、図43に示される如くINIDレジスタ301-23に与えられる。

ブロック301-10の選択されたICBレジスタからの出力信号、選択されたマルチプレクサ回路からのレベル信号、およびブロック301-34からのタイプ信号は、IDAレジスタ301-22内で生成される。又、これらの信号は、レジスタ301-22に記憶される信号に対する1つの制御パリティ・ビットを生成するブロック301-

37のパリティ・生成回路で与えられる。レジスタ301-22の一致と与えられる如くプリンプ・ブロック301-21は、ブロック301-34の選択回路から信号を受け取り、読み込み要求の存在を表示する。

図4図から明らかなように、ビット・レジスタ301-40に記憶されるデータ信号は、2位置データ・セレクト・スイッチ301-42のHレベル・信号を介して2位置のチャンネル読み込み（CW）スイッチ301-44に与えられる。スイッチ301-44の第1の位置は、セットされる時、ブロック301-48の優先順位選択回路回路により生成される信号に基いて選択された4グループのチャンネル・アダプタ・ポート・レジスタ301-46の1つをロードする。レジスタ301-2と301-48および記憶したチャンネル・アダプタからの信号を受けるブロック301-48の回路は、出力信号を回路および出力レジスタ301-45に与える。グループ301-46のレジスタは、関連するポートのリスト・ポイン・

ワード(LPW)を記憶するための40ビット・レジスタと、乗出し又は記憶されるべきデータのアドレスを記憶するための40ビットのDAレジスタと、実行データ転送動作に關する・リー・および制御信号を記憶するための40ビットのレジスタ・DTを含む。4つのチャンネル・アダプタ・セクションの各レジスタは、ブロック301-48の図面から現在情報を受取る4個のデータ・セレクタ・スイッチ301-50の異なる位置に導かれる。スイッチ301-50からのつづつ情報は、エラーを求めてデータを復元するための作するパリティ検査回路301-56に送られて、1つの更新回路301-52と301-54に送られる。更新回路301-52はスイッチ301-50を介して選択されるレジスタの内容を更新するよう作するが、更新回路301-54はデータ情報をパリティ検査回路301-56に送る。回路301-52と301-58からの情報は、スイッチ301-44の更新回路制御を介して選択されたレジスタに送られる。

各情報、PIデータ情報およびチャンネル・アダプタ・データ情報を記憶する。これらのレジスタからの出力情報は、マルチプレクサのデータ・インターフェース600のDTS回路又はマルチプレクサ・インターフェース601のPDTS回路のいずれかに送られる。ブロック301-64のZACレジスタがロードされる時、この状態はAOPRアソシアテッドブロック301-65を2進数1に切換えさせて、マルチプレクサはメモリ(ZAC)読みおよびデータの転送が可能な状態を要求している事をSIU100に信号する。スイッチ301-50を介して送られる特定のメモリ・アドレスはレジスタ301-60に記憶され、パリティ検査回路301-66は両方の信号のうちの奇数パリティ検査をするよう作する。

作動例

本発明のシステムの作動については、第1図の図面を参照して以下に説明する。簡単に説明すれば、モジュール500は、以下の如く構成される5つの異なるタイプのZAC指令の処理が可能

である。第4図から明らかなように、スイッチ301-50の出力情報は、乗出スイッチ301-50を介して8ビットの乗出レジスタ301-60と、DTスイッチ301-70に別して選択的に送られる。データ・セレクタ・スイッチ301-50と301-61の各々は、前述のソースに送るチャンネル・アダプタ・セクションCA1-CA3のDF回路からデータ情報を受取るように構成されるDTスイッチ301-70から出力情報を受取る。DTスイッチ301-70とZACスイッチ301-61からの出力情報は、パリティ検査回路301-62とブロック301-64のレジスタ・バンクに送られる。更に、スイッチ301-61は、マルチプレクサ300が本発明と関連のないモードで動作される時、ブロック301-4に送られるチャンネル・アダプタ・サービス回路から送られるゾーンおよび命令情報を受取るよう構成されている。それぞれZAC、PDTS、データ1、データ2と表示されるブロック301-64の4つのレジスタは、メモリ・指

である。図ら、

1. 乗出し乗指令

アドレス指定されたメモリ・ロケーションの内容(1ワード)が乗出されてリクエストに送られる。メモリ内容は変更されない。ZACビット9はカブシエがロードされるかバイパスされるかを検出する。もしこのブロックが既にカブシエ内でロードされていれば、乗出しサイクルがカブシエ内で行われ情報がカブシエから取出される。

2. 乗出しノクリア乗指令

アドレス指定されたメモリ・ロケーションの内容(1ワード)が乗出されリクエストに送られる。メモリの場所(1ワード)は消正なパリティ(即ちEDAC)ビットで常にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカブシエにロードされない。もしこのブロックが既にカブシエにロードされていれば、アドレス指定されたワードも又カブシエ内で常にクリアされる。

3. 読出し指令

メモリーの場所(ワード)のアドレス指定された時の内容が読出されてリクエスト・ワードに送られる。メモリー・スライスは変更されない。ZACビット9は、カクシエがロードされるかバイパスされるかを決定する。然し、もしこのブロックが既にカクシエ内でロードされていれば、読出しサイクルがカクシエ内で終われ、情報がカクシエから取られる。

4. 書き込み指令

リクエストにより与えられるデータ・ワードの1の置かれたバイトにアドレス指定されたメモリーの場所に記憶される。記憶されるべきバイトはゾーン・ビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を指定する。記憶されないバイト成分のメモリー・スライスは変更されずに止まる。

5. 書き込み指令

リクエストにより与えられる2つのデータ・ワードは、アドレス指定された時のメモリーの場所

に記憶される。

異なるZAC指令に対する指定のコードは下記の如くである。他の可能な11のコードが過剰として規定され、本文に述べるようにエラーを生じる。

指令	ゾーン	カクシエ・バイパス ビット	
1 2 3 4	5 6 7 8	9	
0 0 0 0	0 0 0 0	1/0	読出し
0 0 1 0	0 0 0 0	-	読出し・クリア
0 1 0 0	0 0 0 0	1/0	読出し
1 0 0 0	1 0 0 0	-	書き込み(ゾーン)
1 1 0 0	1 1 1 1	-	書き込み

例えば、プロセッサ200の一方が専用メモリー・モジュール500の照会を指定する一連のプログラム命令の実行を開始するよう作用するものとして。この場合、最初の命令と次の命令は、指定記憶を記憶する汎用レジスタを指定する少くとも1つのフィールドとアドレス・ラベルを含む別のフィールドを含むように書式化される。汎用レジ

スタの指定値の内容は、2進数にセットされたものと保存されるバイパス・ビット9の状態を決定する。プロセッサ200はこの情報を合成して絶対アドレスを生じる。

絶対アドレスが一たん計算されると、プロセッサ200は、所定のメモリー指令ワードと、専用メモリー・モジュール500に対して指令を指向するための適切なSIU 信号情報を生じる。この信号情報は指令は、第9図に示すフォーマットを有する。

前述の事について更に詳細に考察すれば、各命令のO Pコードは、ZAC指令の生成により生成されるメモリー命令性を決定するよう所定化される。第1の命令のO Pコードは、命令レジスタ・スイッチ202-4によりメモリー・場所の1つを指定するメモリー・201-7に与えられる。場所の内容は、レジスタ201-4に送られ、命令の時に必要なマイクロ命令・ラベルのアドレス・ストア201-1-10における記憶アドレスを指定する1つのアドレスを含む。

実行命令の実行中に開始する命令処理の最初の時の間、次の命令の指定ビットは、スイッチ203-14の位置3(即ち、Lev. XR1)を介してスラッシュパッド・メモリー203-10の汎用レジスタの場所の指定された1つをアドレス指定するために使用される。この場所の内容はパッド203-16に送出される。

指定レジスタの内容は、スイッチ203-20の位置0を介して加算回路204-2のAオペランド入力に与えられ、命令の定数フィールドはスイッチ204-1の位置0を介して加算回路204-7のBオペランド入力に与えられる。この2つは一様に与えられ、その時はスイッチ204-8を介して汎用レジスタR2に転送される。指定された情報の第2のレベルが与えられる時、第2の汎用レジスタの場所に記憶された情報をレジスタR2における前に記憶された情報に加重する同様な操作が行われる。ビット9に対する適切な記憶が、第1の汎用レジスタにおけるよりも第2の汎用レジスタにおいて記憶される事が容易に判る。

である。

命令の発行時の、プロセッサ 200 は、出力し動作を指定する局所メモリ 500 に対して ZAC 命令を生成するよう作動し、メモリ 204-4 または R2 レジスタからのアドレスから導かれる適切なメモリ・アドレスを与える。最初のアドレスを生成すれば、レジスタ R2 からのアドレスは WRP バスに与えられ、アドレス・スイッチ 204-6 からびクロス・バー・スイッチ 204-8 の R/W 信号を介してデータ・アウト・レジスタ 204-10 はコードされる。

アドレス・スイッチ 204-10 は、メモリ・の動作マイクロに対して SIU 動作作動を与える。信号は第 9 図のフォーマットを有し、R/W 命令を局所メモリ・モジュール 500 または、モジュール 500 が接続するポート LMO に転送するため SIU100 より使用される信号を与える。これはマイクロプログラムの制御下にあつて、レジスタ 201-15 から、又後述スイッチ 204-10 の R/W 信号を介してアドレス・スイッチ 204

1-6 から時間レジスタ 204-16 のビットで、20-8 にコードされる。

マイクロ命令フィールドの符号化、および時間情報の生成に関するこれ以上の詳細については、「バス・アーキテクチャ・システム」および「メモリ・アクセス・システム」なる名称の図中の各図面を参照されたい。

レジスタ 204-4 と 204-16 のコーディングに就いて、プロセッサ 200 は AOPR 回路を 2 進数 1 に強制し、この状態が R/W 命令を局所メモリ・モジュール 500 に転送するための信号・シーケンスを生成する。又、プロセッサ 200 は命令カウンタ (IC) を増分し、その結果をレジスタ R3 に記憶する。次にプロセッサ 200 は、ARA 回路を介して要求の受入れを表示する SIU100 から信号を受取る直次のマイクロ命令の発行を遅延させる。

SIU100 は、1 回の SIU タイクル、即ちデータ・タイクルが続くアドレス/命令・タイクルを要求するべく R/W 命令を発生する。局所メモリ

モジュール 500 が命令の受取りの用意があるものとすれば、ZIR 回路は 2 進数 1 である (第 11 図において、それは負の論理信号の状態で示される)。第 3 図の SIU 4 進値回路 102-4 は、SIU セレクタ・スイッチを介して命令ワードをマイクロ命令の局所メモリ・インターフェース 502 の DTN 回路に与えるよう作動する。プロセッサ 200 は、SIU100 が ARA 回路を 2 進数 1 に強制する迄、データ・アウト・レジスタ 204-14 に情報を保持して待機する。同時に、SIU100 は AZC 回路を 2 進数 1 に切換えて、R/W 命令の受入れをモジュール 500 に対して信号する (第 11 図参照)。

ARA 回路における状態のこの変化と並行に、プロセッサ 200 はマイクロ命令の制御下で命令の処理を終了する。即ち、プロセッサ 200 は、要求されたデータ・ワードが前述の如く SIU100 から受取られる迄待機する。

ここで、メモリ・命令は出力し動作を指定するよう符号化され、バイパス・ビット 9 はカンシ

エ 500-20 がバイパスされないがロードされる (即ち、ビット 9 = 0) 事を指定するよう符号化されるものとする。前述の如く、ビット 9 の状態は出力し動作命令および押し戻し命令の場合にカンシエ 500-20 のローディングを制御する。

第 11 図および第 7 図においては、ZAC 命令ワードの命令およびアドレス・データが、時間 1 T (即ち、システム・クロック・パルス 1 T が 2 進数 1 から 2 進数 2 に切換る時の全期間) における AZC 回路からの信号 AZC100 に応答して ZAC レジスタ 500-120 にロードされる事が明る。ZAC レジスタ 500-120 に記憶される DTN 回路 17-33 からのアドレス信号は、第 7 図に示す如く、登録記憶装置 500-22 と登録記憶回路 500-24 に対して入力として与えられる。

更に、DTN 回路 26-32 に与えられるアドレスは登録記憶装置 500-22 をアドレス指定するためのプロシク・アドレスとして使用され、回路 DTN17-17 に与えられるアドレス信

号は、登録番号込み動作の場合に登録番号500-22に書き込まれる番号に等する。登録番号500-24に与えられる同じアドレス番号は、データブロックが受にカッシー500-20に存在するかどうかを判定するための使用される。

又、当該DTM17-33に与えられるアドレス番号は、データがカッシー500-20に存在する事が見出されない時これらのデータのブロックから抽出された補助記憶番号500-40に与えられる事も判るであろう。

第11図から、登録記憶番号500-22の要求がもし要求された情報が受にカッシー500-20に記憶されていたかどうかを判定するための即時開始される事が判る。この需要動作は、クロック・パルス1Tと2Tの間の間隔において行われる。この事では、プロセッサ200により要求される情報は全くカッシー500-20に存在しないものと仮定する。

第8図においては、ブロック500-6の図面

信号RDLOAD100を2進数1に強制する。

信号RR100とHIT000はゲート500-460を乗付けて出力し又は乗付信号RD/MISS000を2進数零に強制する。これは、ゲート500-467をして補助記憶装置の指令信号BSCMD100を2進数1に強制する。出力し指令が有効である(即ち、適正なコードおよびフォーマット)を仮定すると、信号TCERROR000は2進数1である。従つて、補助記憶装置の4ビット信号SLO4T/\SLO7T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100を、4ビット・パルス1Tと2T(第11図参照)の発生間隔において2進数1に強制するよう作用する。これは補助記憶装置500-40に対してメモリー操作サイクルの開始を信号する。

このような要求に反応して、補助記憶装置500-40は出力バス・500-42に対する160ビットのデータを抽出するように作用する。このデータは、第11図に示す如く4ビット・パルス

信号ZAC 信号のビット1-4および9を乗付する事が判る。ビット1-4と9が全て2進数零であるため、信号RCL000とWR000は両方共に2進数1である。従つて、ゲート500-61は信号RR100を2進数1に強制して出力し、信号の存在を表示する。この信号は、ゲート500-62と500-460に対する入力として与えられる。

バイパス・ビット9の状態の情報を表示するゲート500-62に与えられるXLOAD000信号が2進数1である事が判る。信号LMB、DE000は高電圧、受取メモリー・エラー又は登録エラーがない時2進数1である。要求されている情報がカッシー500-20にないものと仮定するための信号HIT000とHITREG100はそれぞれ2進数1と2進数零に等する(図4、ビット抽出なし)。補助記憶装置の4ビット信号BSTA000は、ゲート500-468をして信号RDLD100を2進数1に強制させる4ビット・パルス1T8の間、2進数零である。従つて、ゲート500-62は

1Tの発生に先立つて図500-44の出力線で適正な状態が生じる。クロック回路500-48からの補助4ビット信号BS8T101の発生と同時に、信号RDLOAD100はゲート500-260をして書き込み登録信号WRDIR000を2進数零に強制させる。これは、更に、登録クリア信号DRCLR000が2進数1である時、使用可能登録書き込み信号ENABDIRWR100を2進数1に強制させる。この信号は、登録記憶装置500-22がクリアされている時を除いて2進数1である(クリア動作に際しては米国特許第3845474号参照)。

第11図から判るように、登録クロック信号CLKDIR100の発生と同時に、ゲート500-264は書き込み登録信号WRDIR100を2進数1に強制する。

信号WRDIR100は、登録書き込みゲート回路500-266に適当な4ビット信号を各登録レベルの増幅器に付して与えさせる。これは、登録記憶装置500-22の回路DTM17-25

に与えられたアドレス信号を、回路DTM26-31を介して与えられたアドレス信号により指定される場所へ送らせる。

第11図から、同じ時間間隔において補助記憶装置500-40から送出された最初の80ビットがカッシー500-20に送られる事が明である。更に、カッシーの送込み可能回路500-214は、第11図から明るように、タイミング・パルスBTと10Tの間送込みカッシー信号WRCACHE100により動作せられる。即ち、信号MISS100は、「ミート」の存在しない場合には2進数1である。補助記憶装置500-40からのタイミング信号BST10101はタイミング・パルス10Tの間は2進数1である。従つて、ゲート500-68は、補助記憶装置信号T8000が2進数零の時のタイミング・パルスT8、および信号LDSCND80000が2進数零の時のタイミング・パルスT10の間、信号RDLD100を2進数1に強制する。

ゲート500-62は信号RDLOAD100を2進

数1に強制し、これが更にゲート500-74をして信号RDLOAD000を2進数零に強制させる。従つて、ゲート500-210は、第11図8Tと10Tの間送込みカッシー信号WRCACHE100を2進数1に強制する。このように、第11図から明るように、カッシー・タイミング信号CLK141の発生と同時に、送込みカッシー信号WRCACHE100を2進数1に強制するように作用する。これが送出し指令であるから、信号WRLOAD000が無視される(即ち、2進数1)事が明である。

送込み全線信号WRDIR100と同時に、送込みカッシー信号WRCACHE100はカッシー送込み可能回路500-214を動作させて、各カッシー・セクションに与えられるタイミング信号を生じる。

タイミング・パルスT8の間、信号RD00~RD71およびPDP0~P7に宛てる最初の80ビットは、入力スイツチ500-8を介して与えられて回路DTM26-31に与えられるアドレス信

号により指定されるコラムに送られる。この時、アドレス・ビット32は2進数零である。タイミング・パルスT10の間にアドレス・ビット32は増進され、タイミング・パルスT10の間レジスタ500-42に与えられる上位の80ビットはスイツチ500-8を介して与えられてカッシー500-20に送られる。アドレス・ビット32の間は、データのブロックに宛てる全160ビットをカッシー500-20に送らせるように、回路500-216乃至500-222により動作される。

これは、補助記憶装置の回路500-40からの下位の80ビット信号LWR00100の増進動作により行われる。更に、信号LWR00100が2進数1(下位80ビットを送込み)である時、ゲート500-218は信号RDLDIV80000を2進数1に強制する。ゲート500-222は、アドレス信号CAADDR32100をしてZACレジスタ500-120に記憶された読取アドレス信号を与える。即ち、アドレス・ビット32が2進

数1の時、信号CAADDR32100は2進数1である。然し、信号LWR00100が2進数零(上位80ビットを送込み)に強制される時、信号RDLDIV80000は2進数零に強制される。この時、アドレス信号CAADDR32100は2進数零に強制される。

データは出力スイツチ500-10に対して入力として与えられる。出力スイツチ500-10は、信号HITREG00とBSRD100に宛ててゲート500-468により2進数1に強制される使用可能信号ENABBSDATA100により使用可能の状態でされる。更に、回路500-6は、160ビットのどのデータがプロセッサ200に対して与えられるか決定するためのスイツチ500-110に於いて通常の選択信号を与える。選択信号は、ZACレジスタ500-120に記憶されるアドレス信号32と33を輸出する事により与えられる。データは、第11図に示されるようにタイミング・パルスT10の間DFM 回路に与えられる。

第11図メモリ・モジュール500は回路RDTR

を2進数1に強制するよう作用して、2進数1に強制されたARDAにより信号されるデータ線の端に於いてプロセッサ200がデータを受入れた時、ZAC信号により前に要求されたデータが使用可能な事をSIU100に対して信号し、SIU100はHDAA回路を2進数1に強制する。この状態は、データが受入れられた事およびこのデータをDFM回路から読み出せる事を要求し、メモリー・モジュール500に対して信号する。

第1段階から、要求された補助記憶装置のデータがプロセッサ200に搬送される時、要求されたデータにより読み出されるデータのブロックも又、バイパス・ビット9が2進数零にセットされた時はカノンニ500-20に書込まれつつある事が起るであろう。

第1段階から起るように、全160ビットは、次のメモリー・モジュールの読み出し先としてカノンニ500-20に書込まれる。

プロセッサ200により要求される情報がカノンニ500-20に存在する場合は数(即ちビッ

ト)のみに、信号HT000は2進数零となるであらう事が起るであろう。この信号は、回路500-46が補助記憶装置の要求信号BSREQ100を2進数1に切換える事を禁止するよう作用する。同時に、信号HITREG100は、信号MISS100を2進数零に強制する2進数1である。

従つて、信号RDLOAD100は2進数零の状態を維持する。これに、4ビット・バスT8の位、電源書込み回路信号ENABDIRWR100およびカノンニ書込み信号WRCACHE100が2進数1に強制せられるようにする。3つのセンク4当分の適合なカノンニ1が回路500-6により検出される時、カノンニ500-20から読み出されるデータ・ワードは4ビット500-10およびDFM回路を介してSIU100に搬送される。前述の方法により、データ・ワードはプロセッサ200に搬送される。

前述の動作においては、読み出しメモリー指令はバイパス・ビット9を2進数零にセットさせた。ある場合には、プロセッサ200は、要求する情報

をカノンニ500-20に書込まれない事を必要とする事が起るであろう。この場合は、データ補助ワードをアクセスするため、プロセッサ200が補助記憶装置500-40に記憶されたリストポインティング・ワード(LPW)からの読み出しのためのメモリー指令を形成する場合である。

上記の事を達成する前に最初第6段を参照された。要するに、バイナリ形式でLPWおよびDCWを含むテーブルおよびリストを示している。簡単に言えば、この情報は補助記憶装置の運用に必要とされるものである。命令DCWを伴出した補助記憶装置は1DCWテーブルに記憶される。このテーブルは、命令メモリー500における情報を読み出すためのアドレスであるDCWのリストを記憶するものとして(DCW)に記憶する。各1DCWは、特性4ビット、即ち、書込み、ノックアウトを指定するビットの書込みモード、指定の書込みを指定するビットの書込みモードを含んでゐる。各DCWは、2つのワード即ちその第1は命令情報を含みその第2のものはワード・アドレス

を含む事を要する。第10段はこの2ワードのフォーマットを示している。LPWのフォーマットも第10段に示されている。

要するに、各LPWと各DCWのアドレスが、前述の如くメモリー指令の生成の間カノンニ・ビット9の状態をセットするため、プロセッサ200又はマルチプレクサ300により使用できるビット(即ち、ビット9およびビット45)を含む事が起る。

例えば、プロセッサ200-0は次に特定のDCWリスト内のエントリをアクセスするためのメモリー指令を形成するものとする。第6段から起るように、プロセッサ200-0は最初1DCWテーブルからLPWアドレスを記憶せねばならない。実行されるべきメモリー命令命令は2つの情報値を含む。最初の情報値は、特定の1DCWテーブルの書込みアドレスを記憶する汎用レジスタを指定するよう符号化される。第2の情報値は、1DCWテーブル内の特定のLPWを指定するためのエントリ番号である汎用レジスタを指定するよ

う平等化されている。

制御線の1つはビット9を2番路1にセットさせる事が出来るであろう。プロセッサ200-0は、補助記憶装置500-40から取出されるLPWがカシエ500-20に送られる事を欲しないため、ビット9の状態を変化させない。前述の方法により、マイクロプログラムの制御下では、プロセッサ200-0は、ビット9が2番路1である別のZAC 送出しメモリー指令を生成するよう作用する。再び、ZAC 指令および送るべきデータは、それぞれデータ・ワード・レジスタ204-14とデータレジスタ204-16にロードされる。

SIU100は、ZAC 指令をメモリー・モジュール500に転送するよう作用する。第7図および第9図においては、ZAC 指令およびアドレスがZAC レジスタ500-120に記憶され、その後送される事が出来る。メモリー指令が送出しメモリー指令であるため、回線DTM01乃至DTM04に与えられた信号は2番路である。従って、信号RR100は再び2番路1に強制される。然し、

をしてカシエ書き込み信号WRCACHE100を2番路に強制させ、このため4タイミング信号WRCACHE100の回線500-714に付する印を消止する。従って、カシエ書き込み回線500-714は使用可能にならず、このためカシエ書き込み操作は生じない。

送るべきデータ500-76はカシエ・バイパス・ビット9が2番路1である事でも明らかであるとして送られる事が出来るであろう。もちろん、もし「ビット」が送出されると、指定されたデータ・ワードはカシエ500-20から取出されてプロセッサ200-0に転送される。

「失格(miss)」の場合には、第9図から明らかなように、ゲート500-464が4番路信号の要求信号BSREQ100を2番路1に強制するよう作用する。その後、前述の方法により、補助記憶装置500-40から取出された要求されたデータ・ワードがプロセッサ200-0に転送される。然し、信号WRDIR100およびWRCACHE100は生成されないため、第11図に示されるように、

時間点53-8463234

回線DTM09に与えられたカシエ・バイパス・ビットが2番路1であるため、信号NOLOAD000は2番路に強制される。

第8図から、信号NOLOAD000の2番路の状態はゲート500-62が信号RDLOAD100を2番路1に強制する事を消止する事が出来る。従って、4タイミング・パルスT9の発生の際、送るべき信号WRDIR000は2番路1の状態を維持する。これは、ゲート500-762をして送るべき信号ENABDIRWH100を2番路の状態に維持させる。従って、4タイミング信号WRDIR100は回線500-762に与えられない。従って、送るべき信号WRDIR000は使用可能にならず、このため送るべき信号操作が生じないようにさせる。

同時に、カシエ書き込み可能回線500-714は、2番路にセットされる信号RDLOAD100により消止される。即ち、信号RDLOAD000は、信号RDLOAD100が2番路である時2番路1である。この状態は、更に、ゲート500-710

状態は一切カシエ500-20に転送されない。

プロセッサ200-0がSIU100からLPWアドレス情報を送る時、ビット9は通常2番路1にセットされる。プロセッサ200-0はDCWがカシエ500-20にロードされる事を欲しないため、ビット9は変更されずに残される。このように、次の命令の発行中、プロセッサ200-0は、LPWを含みかつ再びバイパスされたビット9を2番路1にセットさせるZACメモリー指令を生じようとして作用する。前述の方法により、メモリー・モジュール500は補助記憶装置500-40から取出される情報をカシエ500-20に送られないようにされる。プロセッサ200-0が要求されているデータ・ワードと同じブロックに記憶される別のデータ・ワードへのアクセスを要求するような場合には、このプロセッサは生成するZACメモリー指令内のカシエ・バイパス・ビットを2番路にセットさせるよう作用する。

前述の事から、本図の状況は、補助記憶装置500-40から取出されるどの情報もカシエ

500-20に送られるべきかという指令事項に基いてプロセッサ200-0を制御させる事が出来る。更に、又送受機の動作は、どの情報が入力か500-20に送られるべきかという指令事項に基いてマルチプレクサ300を制御させる。即ち、データ送受機動作の発行者、マルチプレクサ300に送られる如くSIC100に対して与えるZAC指令を生成する事を要求される。

例えば、オペレーティング・システムがマルチプレクサ300のチャネルの1つ(即ち、CA0)を含む送受機動作を実行する事を要求し、その送受機動作についてある動作を行うものと仮定しよう。

チャネル動作を開始するため、プロセッサ200はチャネル(即ち、CA0)のLPWレジスタのコーディングを指定するPI指令を生成する命令を実行する。第4図に於いては、指令ワードはPCレジスタ301-2にコードされ、PDレジスタ301-5のデータ・ワード内容をスイッチ301-6と301-42のPD位置およびCWスイッ

チ301-44のHSB位置を介して、PCレジスタ301-2に於いて記憶された情報に基いて選択されるチャネルのLPWレジスタに送受する情報を生成するようブロック301-4の論理回路を動作させる。

この時LPWレジスタはDCWのリストを指示するアドレスを含んでいる。このチャネルのLPWレジスタのコーディングに於いて、プロセッサ200は別の命令を実行し、この命令はPDレジスタ301-5に記憶されたデータ・ワードが記憶されている事を表示するコード位置情報を指定するPI指令を生成する。

PCレジスタ301-2に記憶された指令ワードはブロック301-4の論理回路を動作させて、PCレジスタ301-2からスイッチ301-6のPDスイッチのPC位置およびWDスイッチ301-4のDTA位置を介して1グループのチャネル動作フリップフロップ(図示せず)に情報を送受する情報を生成する。これらのフリップフロップ(AUTOフリップフロップ)の1つは、セ

ットされるとチャネルに対してデータの送受調整を指示する。

このAUTOフリップフロップは、このチャネルの2つの要求情報の内の一方に対するサービス要求情報と共に、優先順位選択規則図表301-49に於ける4つの入力1つとして第1のリスト情報を与えさせる。図表301-48は、このチャネルに対する4つの入力をしてどのレジスタが選択されるべきかを決定させるこれらの要求サービスの優先順位を有するチャネルを選択する。この優先順位表301-48は、図表301-4に於ける2ビットのコード(CA0=00)に於いてサービス要求を符号化する。要求の順序を生成するプロセスにはこの一切の動作がない(即ち、データはメモリ・モジュール500から送受される)ものとすれば、図表301-4は図表301-48に於ける情報を与える。図表301-48は2進数1の情報をチャネルCA0のサービスANSに於けるように作用する。この情報は、データ送受のためのチャネル

CA0を指定させる。

図表301-48を介してチャネルCA0から送受されるリスト情報は、図表301-4を介してCスイッチ301-50のLPW位置を選択させる。2ビットのチャネル・コードに於ける情報とリスト情報は、レジスタ301-65の最初の3つのビット位置にコードされる。レジスタ301-65の2つの上位ビット位置はデータを送受するチャネルを識別する。第4図から明らかなように、レジスタ301-65の内容はMITS図表に於ける。301-48からのチャネル選択情報からの情報は、チャネルCA0に対するLPWレジスタの選択を要約する。

LPWレジスタに於けるアドレスは、図表301-48により与えられる情報に基いて選択されたDTスイッチ301-20のCSWスイッチを介して図表301-4からの情報に基いて選択されたバンク301-64のZACレジスタにコードされる。更に、図表301-48は、ZACレジスタの最初のバイト位置にコードされるZACスイ

シグナル 1-61 のノーン/指令スイッチアサを介して信号を受ける。この結果、図 9 図 10 に示すような ZAC 指令ワードの形式化が与えられる。4 つのチャンネル入力の異なるもの（例えば、音源又は音源コード、増出し又は音源の指令、音源又は 2 倍増音およびリスト）から与えられた信号は、ZAC 指令ワードの指令成分の代用を規定する。マルチプレクサ 300 は ZAC 指令のみを生じるため、ZAC レジスタのビット 1 は常に 0 である。又、これはリスト・モードであるため、指令成分のビット 1 は増出し 2 倍増音指令を規定するよう符号化される。カウンス 500-200 に記憶される LPW アドレスを用いて音源メモリー・モジュール 500 から DCW 情報を取出させる事は必要でないため、LPW アドレスのビット 9 は常に 2 進数 1 にセットされる。このように、ZAC レジスタに記憶される ZAC 指令のカウンス・バイパス・ビット 9 は 2 進数 1 にセットされる。

ZAC レジスタのローディングの時、LPW アドレスは、2 だけ（2 ワード即ち 8 バイト）増分され、

そしてそれぞれイン・フェーズ 603 の PITM 回路と、DTM 回路と、SLTM 回路に与えられる。

音源メモリー・モジュール 500 は、データ増出しと共に増音増幅として SIU 100 に送付リクエスト信号を発生する。音源メモリー・モジュール 500 は、ZIR 回路を 2 進数 1 に切換える事により定着する。この状態は、SIU 100 をしてリクエスト回路を停止させる。音源メモリー・モジュール 500 は、イン・フェーズ 603 のそれぞれ RIFM 回路および DPFM 回路上にマルチプレクサ 300 から生じるリクエスト識別および 2 倍増音信号をかく事によって、RDTR 回路を 2 進数 1 に強制する事により SIU 100 に対するデータの転送を決定する。

SIU 100 は、図 11 又に示すように、RDAA 回路を 2 進数 1 に強制する事により ROTR 回路の作動を決定する。これは、音源メモリー・モジュール 500 に対して、リクエスト・モジュール 300 に対する回路が同時にデータ転送と共に実行する事を指示する。RDAA 回路に対する信

号は、図 12-13 に示すように、かつその結果は DCW スイッチ 301-44 の更新信号を介してチャンネル LPW レジスタに与えられる。図 13 301-52 と 301-54 の形式で与えられる。更に、LPW レジスタ 4 に含まれる増音増幅は、増音増幅 301-59 の CSW 回路を介して増音増幅 301-60 にロードされる。ZAC レジスタのローディングは AOPR フリップフロップ 301-69 を 2 進数 1 に切換えさせる。

マルチプレクサ 300 は、図 14 の SIU 回路図 102-200 が 2 進数 1 に強制される時、ARA により AOPR 回路によって信号された要求を受入れる迄待機する。SIU 100 はマルチプレクサ 300 からの要求を受入れた時、AZC 回路を 2 進数 1 に強制して、これがモジュール 500 をデータ増出し/音源増幅マシナを起動するように指示する。図 11 に示したように、AZC 回路のセグタイニングと同様に、リクエスト識別信号と、ZAC 指令信号とマルチプレクサ 300 から生じる 2 倍増音信号は、図 12-200 からの信号に

とも又、RDAA 回路上の信号の電圧に続いてクロック・パルスの増幅器におけるイン・フェーズ 603 上に 202 のデータ・ワードを音源メモリー・モジュール 500 にかける。増音増幅の回路でこのモジュール 500 は別の指令を受取る回路ができると同時に、ZIR 回路を 2 進数 1 に切換える。

RDAA 回路の強制の時点で、SIU 100 は、要求側のマルチプレクサ・モジュール 300 に対して、データ・ワードが ARDA 回路を 2 進数 1 に強制する事によりその DFS 回路に与えられている事を通知する。SIU 100 は又 MIFS に対してリクエスト識別信号を与えて、その増音増幅 301-68 における信号の記憶を生じる。図 13 301-68 に与えられたレジスタ 301-68 の強制回路は信号され、CAO 回路を介してチャンネル CAO を使用可能とするのに加えて、増音増幅チャンネル・レジスタの更新を要する。最初のデータ・ワードは、ドライバ回路 301-6 を介して H レジスタ 301-43 にロードされる。その内容はこれからスイッチ 301-42 の

Hレジスタの値およびCWスイッチ301-44のHレジスタの値を介してチャンネルCA0のDTレジスタにロードされる。最初のワードに於いてクロック・パルスに与えられる第2のデータ・ワードはレジスタ301-42にロードされ、その後チャンネルCA0のDAレジスタ301-40に転送される。

前述の如く、回路301-48からの信号は、選択されるチャンネル・レジスタ（即ち、CA0）の列を指定する。又、マルチプレクサ300がチャンネルCA0のリスト・ポインタに定着する時、回路301-43は、リスト・フリップ・フロップ（表示せず）を2進数1に強制する。同時に、回路301-7は、更に別の明確フリップ・フロップと与えられる明示したチャンネル「使用」フリップ・フロップを2進数1の状態に強制する。これは、更に、コントローラ・アダプタ303のCA1のチャンネル使用回路に2進数1の信号を与え、このアダプタに於いてこのチャンネルが転送のための

ゾーン／指令スイッチ位置を介して進行する。又、レジスタ301-65の最初の2つのビット位置はリタニスタとしてチャンネルCA0を識別するまでコードされる。

この時、AOPR回路は2進数1に強制される。同じ時間間隔において、チャンネル選択に続く第2のクロック・パルスの間、アドレス（DA）は多重化回路301-52により2進数1に増分されて、CWスイッチ301-44の更新位置を介してDAレジスタに与えられる。次に、Cスイッチ301-50のDTレジスタ位置が選択され、データ・アドレスは2進数1に増分される多重化回路301-52に与えられ、スイッチ301-44を介してDTレジスタに与えられる。

前述の場合に類似する命令シーデンスが、第7cのフォーマットを有するZAC指令（即ち、AOPR回路はZACレジスタがロードされる第2進数1に強制される）のSUI100による転送のための準備される。

ZAC指令に定着する局所メモリ・レジスタ

の準備ができていなければならない。

前述の如く、DTおよびDAレジスタにコードされるDCWの7つのデータ・ワードのフォーマットは第10a図に示される如くである。アドレス200はマルチプレクサ300の転送に於いてマルチプレクサにより要求されるデータ・アクセスを要求するため、オペレーティング・システムはDCWのDAワードのビット45を2進数1にセットさせるよう作用する。この状態は、マルチプレクサ300にカソンのバイパス・ビット9を2進数1にセットさせるZACメモリ・指令を生成させる。

この操作中、回路301-48は、パン7301-64のZACレジスタおよび記憶レジスタ301-60の最初の3位置をロードするための信号ソースとして、Cスイッチ301-50のDA位置を選択させる。従つて、ZACレジスタのビット位置9は2進数1にセットされる。このローディング操作は、ZACスイッチ301-61と、DTスイッチ301-70と時間スイッチ301-59の

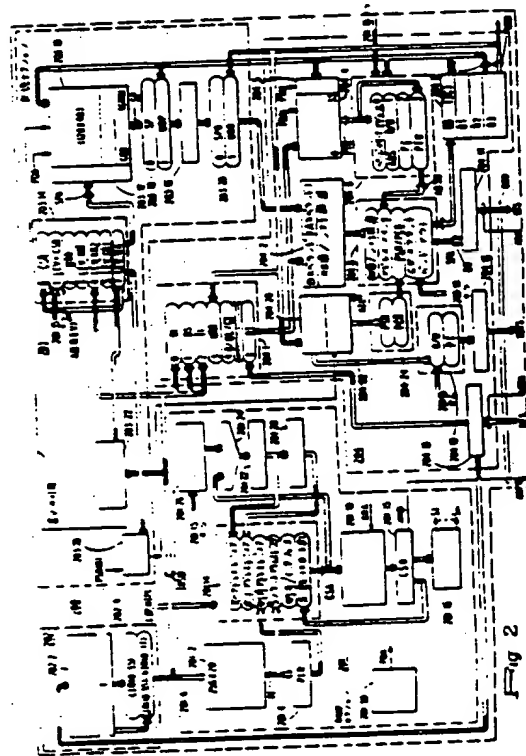
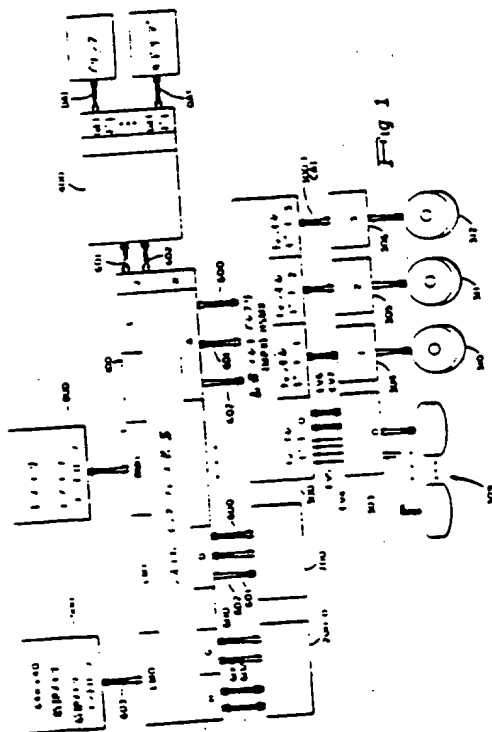
500は、補助記憶装置500-40から要求されるデータ・ワードを搬出すと同時に、情報ブロックを前述の方法によりカソンの500-20に記憶するように作用する。このため、情報はプロセッサ200に於いて容易に使用可能となる。

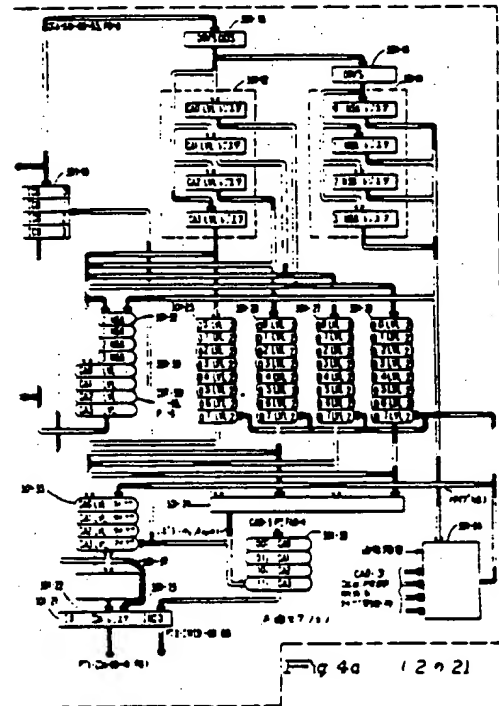
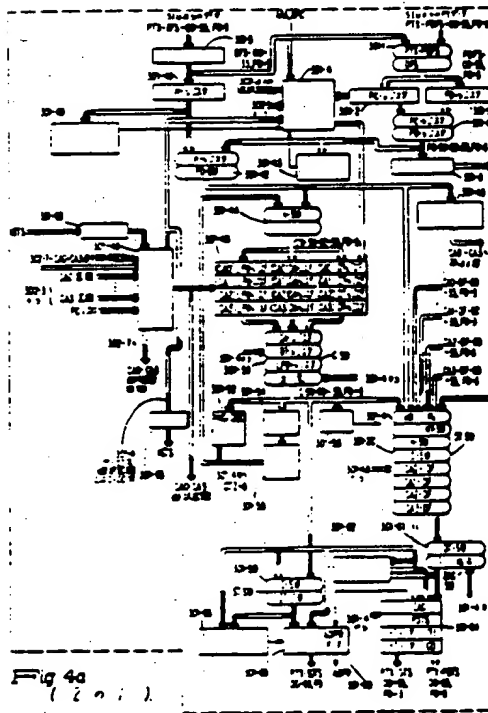
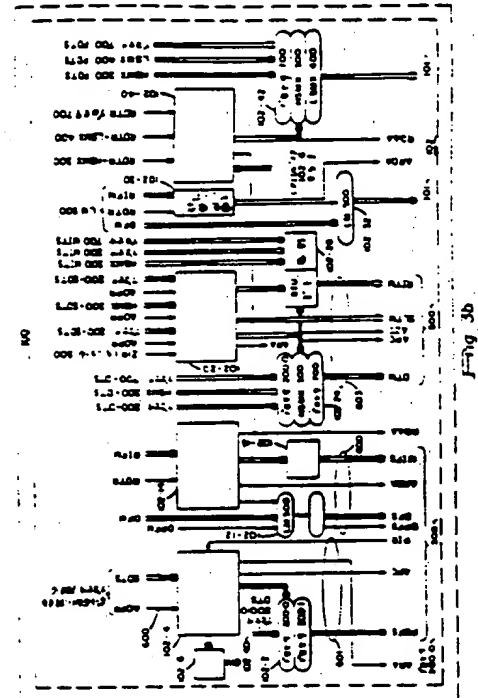
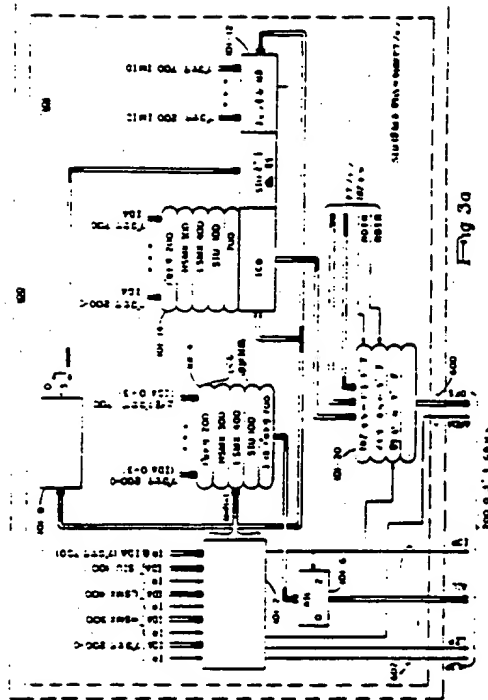
前述の如く、いかにして異なる指令シーデンスが補助記憶装置500-40から搬出されるかの情報がこれに関連して迅速なアクセスを可能にするためのカソンの500-20にロードされるべきかに関する指令信号に於いて制御が可能となるかが判る。各指令にその状態がカソンの500-20がロードされるかどうかを規定する制御の単独のビットを与える事により、指令の準備およびこのようなビットの更なる他の操作の実行を容易にする。

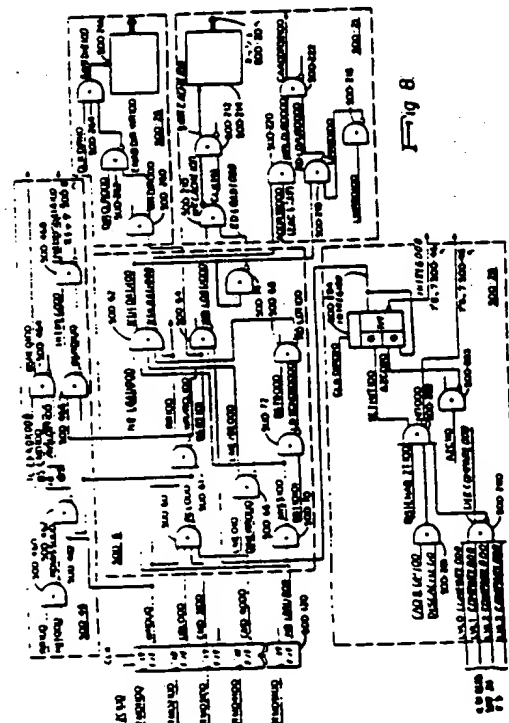
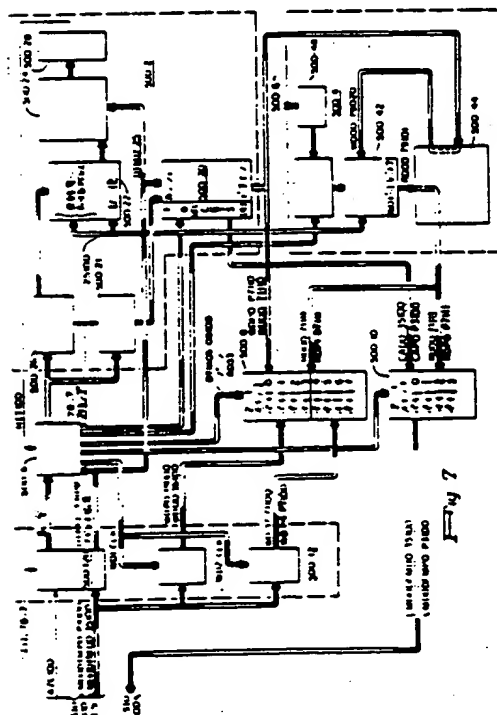
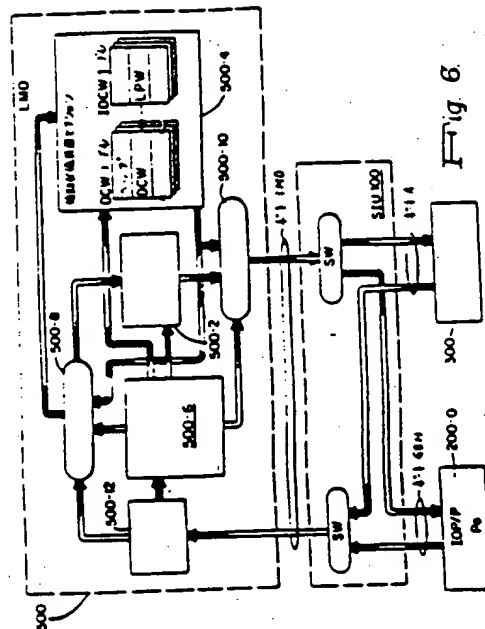
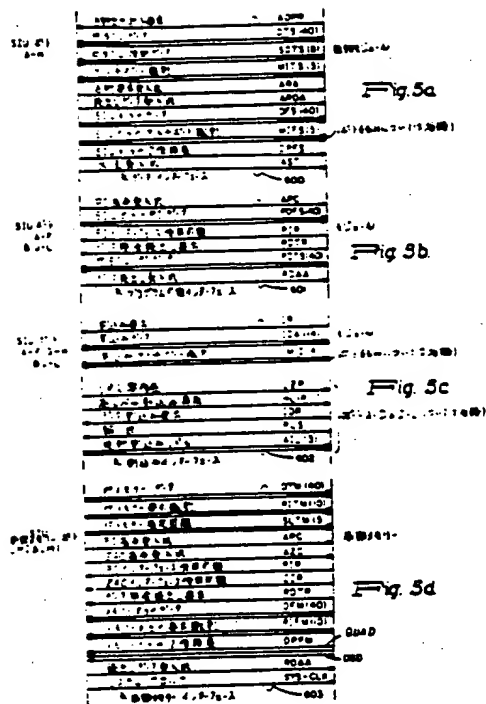
本発明の容許する事項については多くの変更が可能であり、例えば、指令が書式化され昇格化される方式、およびある制御およびタイミング信号が生成される方式についての多くの変更が可能である事は明らかであろう。単純化するため、多

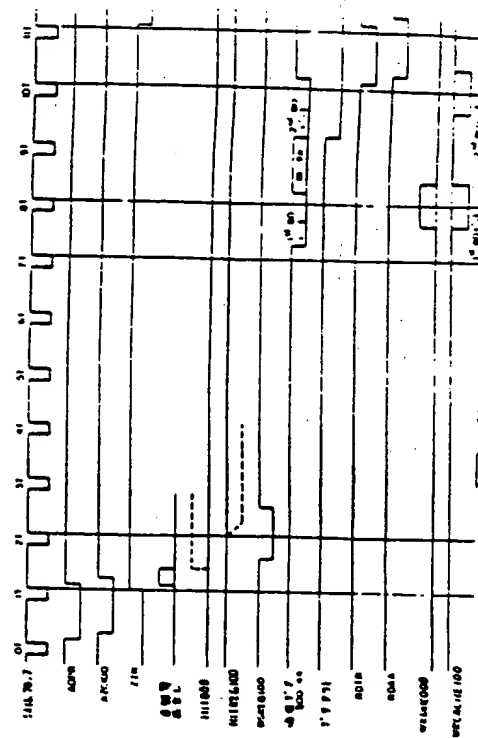
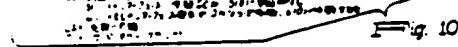
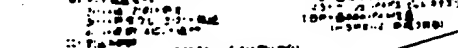
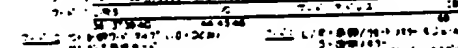
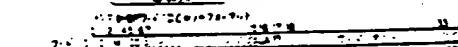
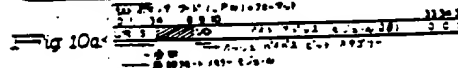
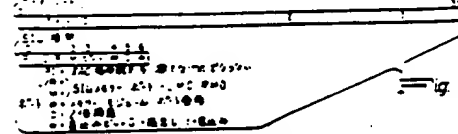
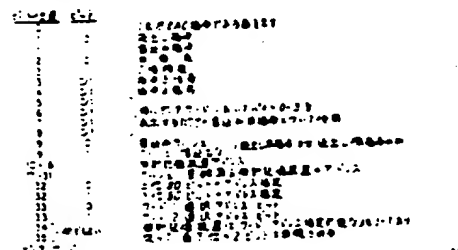
第1又は第2図の構造を適用した入カシステム
のブロック図、第2図は第1図の入出力関係
を更に詳細に示す図、第3又は第4図は第1図
の第1又は第2の入カ・インターフェース部を詳
細に示す図、第5又は第6図は第1図の
マルチプレクサ部を詳細に示す図、第7及び
第8図は第1図の各インターフェースを示す
図、第9図は第1図の周波数メモリー・セグメン

100…システム・インターフェース装置(SIU)。
200…データ転送セクション、200…入出力
プロセッサ、201…記憶セクション、202…
命令パツファブ・セクション、203…記憶セク
ション、204…外部セクション、300…基盤マ
ルチプレクサ(HSMX)、400…基盤マルチプレ
クサ(LSMX)、600~603…インターフェ
ース、700…上位プロセッサ、800…主メモリ
・モジュール。









③日本国特許庁

③特許出願公開

公開特許公報

昭52-106641

①Int. Cl.
G 11 B 5 09

識別記号

②日本分類
97:7) C 2
102 E 33

庁内整理番号
7056-56
7345-55

③公開 昭和52年(1977)9月7日

発明の数 1
審査請求 未請求

(全 7 頁)

②高速順次アクセス用データ・レコード格納方法

④発明者 高井兵衛

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

⑤特 願 昭51-23207

⑥出 願 昭51(1976)3月5日

⑦出 願 人 株式会社日立製作所

⑧発明者 加藤勝康

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

東京都千代田区丸の内一丁目5
番1号

⑨代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 高速順次アクセス用データ・レ
コード格納方法

特許請求の範囲

1. ランダム・アクセス可能な記憶ブロックを有する記憶媒体に順序関係のあるデータ・レコードを格納する方法において、各ブロックを複数の区画に分割し各ブロック内に所定数の空き区画を設けようとして各区画毎に1つのデータ・レコードを格納し、格納されたデータ・レコードをそれ自身の内部に設けられた連絡子により順序関係に従って連絡し該連絡の先端レコード位置及び末端レコード位置を夫々記憶手段に保持し、前記記憶媒体中の未使用領域の空き区画を記憶手段に保持し、使用領域中の空き区画をデータ・レコード内に設けられた連絡子により連絡し該連絡の先端位置を記憶手段に保持し、前記記憶媒体中に新規に加えられるべきデータ・レコードを格納すべき空き区画を前記未使用領域先端位置、未使用領域中のデータ・レコード

と同一ブロック内の空き区画、又は前記空き区画連絡先端位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

2. 最初のデータ・レコードと後に格納されているデータ・レコードの中で後者関係に属して末尾のレコードの後に追加されるべきデータ・レコードに対しては、前記未使用領域先端位置の空き区画を選択することを特徴とする特許請求の範囲第1項記載のデータ・レコード格納方法。

3. 既に格納されている第1データ・レコードとそれに後続する第2データ・レコードの間隙に挿入されるべきデータ・レコードに対しては、前記第1データ・レコードと同じブロック内の空き区画があれば該空き区画を選択しなれば前記空き区画連絡先端位置の空き区画を選択することを特徴とする特許請求の範囲第1項又は第2項記載のデータ・レコード格納方法。

4. 位置のブロック内のデータ・レコード格納法が予じめ決められた値を有した特許請求の範囲第1項

の残りの区画に空き区画を作成することを希望とする特許請求の範囲第1項、第2項又は第3項記載のデータ・レコード格納方式。

発明の詳細な説明

本発明は、コンピュータによるデータ処理技術に係り、比較的低速であり、ランダム・アクセスが可能な記憶媒体上に、書き換えのあるデータ・レコードをのぞく格納するデータ・レコード格納方式に関する。

従来、書き換えのあるデータを格納する方式として、最もよく知られたものは、書き換えに依つて、記憶媒体上に配置するものであり、ランダム・アクセス可能な記憶媒体だけでなく、シリアル・アクセスのみ可能な記憶媒体においても実現することができる。この方式によれば、格納されたデータ・レコードを逐つて高速にランダム・アクセスすることが可能であるが、一旦格納されたデータ・レコードの管に、新たにデータ・レコードを挿入したい場合、これに、予め用意された別の領域へ格納され、連絡子によつて連絡されるため、挿入、

削除に依り、順序関係において適合しうレコードが記憶媒体の領域上では、連絡しあわなくなるため、ランダム・アクセスに関して、必要以上に入出力回数（ドラム・ディスク等の）回転待ち時間、ヘッドの移動待ち時間が発生することになる。

また、データ・レコードを格納しうる空きレコードの位置を容易に検索するため、領域内の空きレコードも、データ・レコードと同じように連絡子によりリスト化しておくことが通常行なわれるが、この方式では、データ・レコードの格納に先立ち、すべての空きレコードをリスト化するという無駄な作業が発生する。

本発明の目的は、かかる従来の欠点を排除し、書き換えがあり、かつ挿入、削除等の多いデータ・レコードを格納するための改良された方式を提供することである。

本発明は、以下のような記憶媒体の物理的構造を利用した、データ・レコード格納方式により、高速なランダム・アクセスを可能にしようとするものである。

図1は、ランダム・アクセスが可能な記憶媒体の構造を示す。ランダム・アクセスが可能な記憶媒体においては、データ・レコードの挿入、削除、変更は不可能である。

従つて、この方式に一旦、データ・レコードを格納した後にデータ・レコードの挿入が全くないか、あるいは極めて少ない場合にのみ適用しているといえる。一方、書き換えがあるばかりでなく、挿入、削除がしばしば発生する場合には、適切な格納方式としては、データ・レコードをランダムに選ばれた任意の空きレコードへ格納し、データ・レコード自身の中心で作成された連絡子により、データ・レコード間の順序関係を保つ。いわゆるリスト方式がある。この場合、連絡子に、一般に当該レコードの直前、直後のレコードの位置を記憶している。

この方式によれば、挿入されるデータ・レコードも、特別な手続きによらずに格納することができ、後述するように、挿入、削除がくり返される。

図2は、ランダム・アクセスが可能な記憶媒体の構造を示す。ランダム・アクセスが可能な記憶媒体においては、データ・レコードの挿入、削除、変更は不可能である。

まず第1に、第1図に示されるように、ここで想定している比較的低速な記憶媒体1においては、その領域は、複数のブロック2よりなり、各ブロック2はさらに、複数の区画3に分割され、各区画3は1つのレコードが対応づけられる。各区画3は、順方向連絡子5、逆方向連絡子6、及びデータ部7を有する。また、あるブロック2がランダム・アクセス可能な状態にある場合は、入出力を伴わずに、直前ブロック上のデータを参照することができる。

従つて、順序関係において適当なレコードが同一ブロックにある場合は、ランダム・アクセスの時の入出力回数は削減されることになる。

次に、第2図に示されるように、磁気ディスクのような、複数のシリンダ32及びトラック33からなり各トラックには複数のレコード35を夫々有する複数のブロック34が設けられている記憶媒体31においては、ヘッドを特定のシリンダに位置づけるための、ヘッドの移動待ち時間（シ

ーク時間)と、ヘッドを特定のトラックへ位置づけるための回転待ち時間を重視する必要がある。

そこで、これらの物理的現象にかんがみ、本発明においては、

- (1) その、増減方式、適当な空きレコードを分散させて確保しておくことにより、挿入レコードを、できるだけ前後のレコードの近くに配置させ、連続アクセスの増減入出力回数及びシーク時間を減少させること。
- (2) 挿入レコードをその前又は後のレコードと同じブロックに格納したい場合は、記憶装置の回転角度を考慮した位置へ格納することにより、回転待ち時間を減少させることを考慮した。

以下第3～第8図により実施例にそつて本発明の原理を説明する。

第3図は、初期に各データ・レコード41を順次よく格納した状態であり、各データ・レコード41は、データ・レコード連絡子43により結合されており、かつ、その先頭位置(FRP)及び末尾位置(LRP)は、任意の記憶手段により保

持される。また未使用領域46の先頭位置(FUP)も任意の記憶手段により保持される。第4図は、データ・レコードの挿入、削除がくり返されるなどの状態であり、途中にできた空き区画47は、互いに、空き区画連絡子45により結合され、さらにその先頭位置(FAP)は、任意の記憶手段により保持される。

第4図は、最適化を行なわなかつた場合のみであり、連絡子ブロック42間にも空きがついてゐるため、全レコードをアクセスするためには7回のブロック入出力が必要となる。

そこで本発明に依り、第5図のごとく、その、一定比率で各ブロック42間空きレコード47を確保しておき、追加レコードは、未使用領域46の先頭位置FUPへ、挿入レコードは前レコードと同一ブロックへできるだけ入るようにより、挿入、追加、削除がくりかえされても、前後のレコード41が同一ブロック42にある確率を高くすることができる。この場合、同一ブロック内に空き区画47がなければ、先頭空

きレコードFAPへ格納すればよい。第6図はこのような最適化を行なつた場合のデータ・レコードの格納状況の他の例を示す。データ・レコードの追加、挿入、削除におけるFAP、FUP、FRP、LRP、レコード連絡子の変更方法は、第7図により明らかであろう。第7図では、其中の段に示す格納状態より出発して、上段の例の如くデータ・レコードpとqの間でデータ・レコードrを挿入すると共にデータ・レコードqを削除する場合、並びに下段の例のようにデータ・レコードsとtの間を挿入し且つsの後へtを追加する場合を示している。

次に磁気ディスク、磁気ドラムの如き、回転型記憶媒体においては、第8図に示したように、前記の各ブロック42内の空き区画47の幅は、指定された比率m:nにより、mブロック毎に全部空き区画47よりなるブロック48をn個確保することが効果的である。この場合、レコードの挿入に際しては、挿入前後のレコードと同一ブロック内の空き区画47をさがす、これが得られな

い場合、当該ブロック42をアクセスしてから、次に別のブロック42をアクセスするまでに必要な待ち時間に記憶媒体が回転する角度に対応するブロック数以上はなれた空き区画ブロック48から、空き区画47を選択することにより、挿入レコードが前後のレコードと同じシリンダーに格納される確率が高くなるだけでなく、回転待ち時間が一回転時間だけ短縮できる。

次に第9図により、本発明の一実施例における構成について説明する。

先づデータ・レコード格納ステップ12は記憶媒体10の各ブロック内の各区画に1つのデータ・レコードを所定数の空き区画を挟んだ状態で、ブロック11を介して格納する。データ・レコード連絡線ステップ16は格納されたデータ・レコードをそれ自身の内部に設けられた連絡子により順序関係に従つて連絡し、連絡線の先頭レコード位置、(FRP)及び末尾レコード位置(LRP)を夫々記憶手段18、19に保持する。未使用領域先頭の記憶線ステップ17は記憶媒体

10番の空欄可読部の先頭位置(FUP)を記憶手段21に保持する。又、空き区画連続配座スタンプ15は使用領域中の空き区画をデータ・レコード内に設けられた連続子式より連続し該連続の先頭位置(FAP)を記憶手段20に保持する。空き区画連続スタンプ13は、記憶媒体10中の新規に与えられるデータ・レコードを格納すべき空き区画を選択する。即ち最初のデータ・レコードと共に格納されてゐるデータ・レコードの中で最手前迄に達して末尾のレコードの直へ達されるべきデータ・レコードに対しては、記憶手段21に保持されているFUP位置にある空き区画を選択し、一方、共に格納されているデータ・レコードとそれと連続するデータ・レコードとの間に格納されるべきデータ・レコードに対しては、データ・レコードと同じブロック内の空き区画を選択し、もし該ブロック内に空き区画がない場合にはFAP位置の空き区画を選択する。又、空き区画連続スタンプ14は任意ブロック内のデータ・レコード格納部が記憶手段22に保持されて

先頭位置(FAP)の連続があるかを判断し、あれば115でFAP位置へレコードを追加し、117でFAPを更新した上で119へ進む。113でFAP連続がなければオーバーフローとして処理する。

次にデータ・レコード格納の場合の処理のフローを第11図を参照して説明する。先づ201で最初のレコードのブロックに空き区画があるかを判断し、あれば203でその空き区画へレコードを格納し、205でレコード連続を変更し、207で空き区画連続子式を変更する。201で最初のレコードのブロックに空き区画がない場合は、209でFAPの連続があるかを判断し、あれば211でFAP位置へレコードを格納し、213でレコード連続を変更し、215でFAPを変更する。又209でFAP連続がない場合は更に217でレコード格納部がFUPより小さくなるかを判断し、小さくなければ、219でFUP位置へレコードを格納し、221でレコード連続を変更し、223でFUPを変更する。

ある予この決のられた後と進んで、当該ブロックの残りの区画に空き区画を格納する。そして記憶手段23に保持されている予この決のられたに依り空き区画よりなるブロックを一定数のブロックが格納する処理を待たす。

次に第10図のフローを参照してデータ・レコード追加の場合の処理の流れを説明する。

先づ101でレコード格納部が記憶媒体先頭位置(FUP)より大きいか否かが判断され、FUPの方が小さければ、103でFUP位置へレコードが追加される。そして105でオーバーフローに達したことが判断されると107でブロック内の残りのレコードを空き区画先頭位置(FAP)からの連続に入れ、109でFUPをスワップ先頭レコードへ移動し、119で追加レコードをレコード連続につなぎ221でデータ・レコード連続位置(LRP)を変更する。又105でロードフアクタに達しない場合、111でFUPに1を加え119で進む。一方101でFUPの方が小さくなければ、113で空き区画

217でFUPの方が小さければオーバーフローとして処理する。

図面の簡単な説明

第1図は、記憶媒体の記憶構造を示す図、第2図は、シリンダ・トラック形式の記憶媒体の記憶構造を示す図、第3図、第4図は、空きブロックの確保、空き区画選択に関し、最優先を行なわなかつた場合のデータ・レコード格納状況を示す図、第5図、第6図は、二発射に従い最優先を行なつた場合のデータ・レコード格納状況を示す図、第7図は、データ・レコードの追加、格納、削除に伴う、格納状況の変化を示す図、第8図は、空き区画ブロックの確保方法を示す図、第9図は、二発射の発射方式における確保を示すブロック図、第10図は、データ・レコード追加の際の処理の流れを示すフロー図、第11図は、データ・レコード格納の際の処理の流れを示すフロー図である。

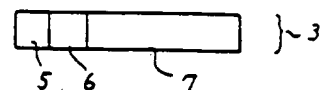
符号の説明

- 10 記憶媒体
- 11 バッファ

第 1 页

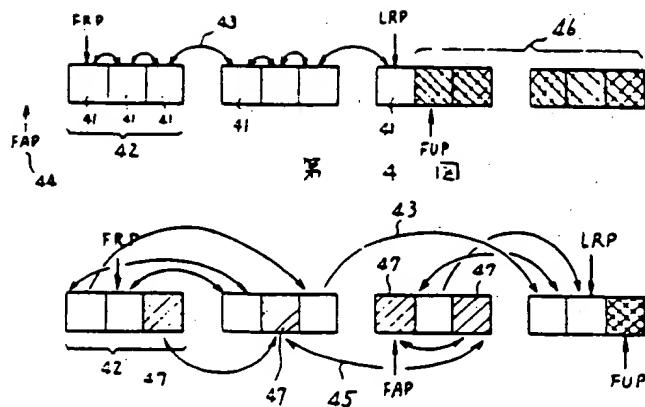
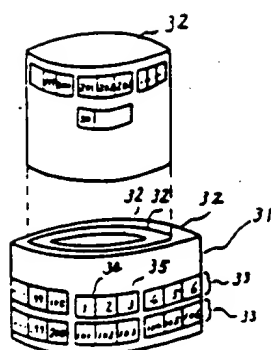
-

代理人 丹理士 為德明天

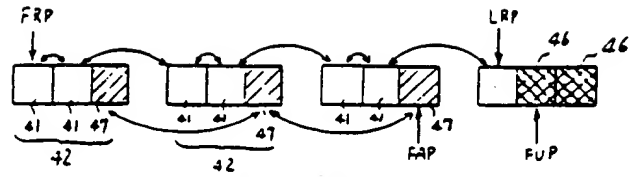


2

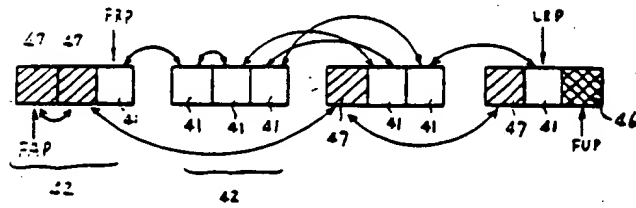
第 3 回



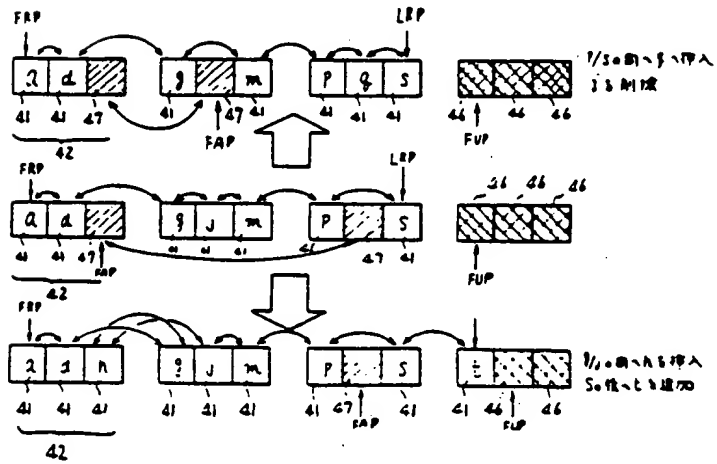
第 5 回



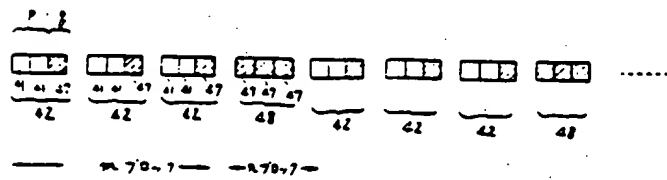
第 6 回



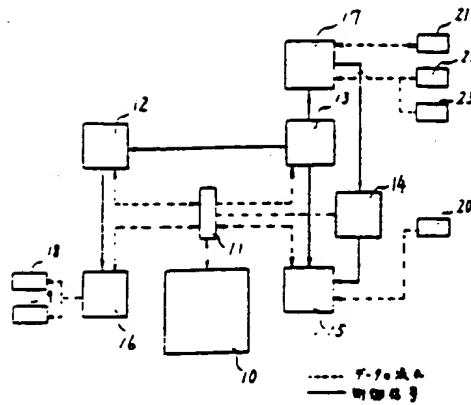
第 7 回



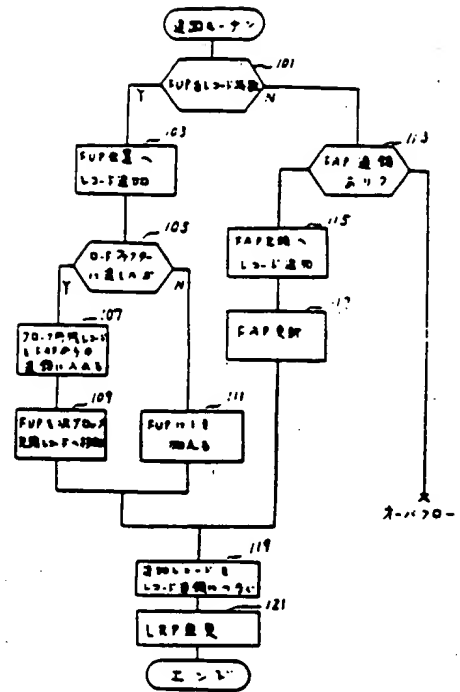
第 8 回



第 9 回



天 10 回



第 11 回

